

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 1 月 3 0 日
Date of Application:

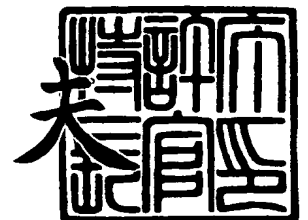
出 願 番 号 特 願 2 0 0 3 - 0 2 2 2 7 4
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 0 2 2 2 7 4]

出 願 人 セイコーエプソン株式会社
Applicant(s):

2 0 0 3 年 1 0 月 2 2 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康



【書類名】 特許願

【整理番号】 EP-0439101

【提出日】 平成15年 1月30日

【あて先】 特許庁長官殿

【国際特許分類】 G06F 17/50

【発明者】

 【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

 【氏名】 西田 治雄

【発明者】

 【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

 【氏名】 石田 卓也

【特許出願人】

 【識別番号】 000002369

 【氏名又は名称】 セイコーエプソン株式会社

【代理人】

 【識別番号】 100090479

 【弁理士】

 【氏名又は名称】 井上 一

 【電話番号】 03-5397-0891

【選任した代理人】

 【識別番号】 100090387

 【弁理士】

 【氏名又は名称】 布施 行夫

 【電話番号】 03-5397-0891

【選任した代理人】

【識別番号】 100090398

【弁理士】

【氏名又は名称】 大淵 美千栄

【電話番号】 03-5397-0891

【手数料の表示】

【予納台帳番号】 039491

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9402500

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 テスト回路、集積回路及びテスト方法

【特許請求の範囲】

【請求項 1】 第 1 のマクロブロックとの間での送受信処理を第 1 のクロック周波数で行う第 2 のマクロブロックのためのテスト回路であって、

テスト入力端子からの送信データ信号を、第 1 のクロック周波数よりも遅い第 2 のクロック周波数で蓄積するテスト用送信バッファと、

第 2 のマクロブロックからの受信データ信号を、第 1 のクロック周波数よりも遅い第 3 のクロック周波数でテスト出力端子に出力するテスト用受信バッファとを含み、

前記テスト用送信バッファが、

テスト入力端子からの送信データ信号を第 2 のクロック周波数で蓄積した後に、蓄積した送信データ信号をデータ通信用の物理層回路を含む第 2 のマクロブロックに対して第 1 のクロック周波数で出力し、

前記テスト用受信バッファが、

第 2 のマクロブロックからの受信データ信号を第 1 のクロック周波数で蓄積した後に、蓄積した受信データ信号を第 3 のクロック周波数でテスト出力端子に出力することを特徴とするテスト回路。

【請求項 2】 請求項 1 において、

送信データ信号を受けた第 2 のマクロブロックが、第 1、第 2 のマクロブロック間のバスとは異なる第 1 のバスにおいてループバックモードで送受信処理を行い、ループバックモードで受信した受信データ信号を第 1 のクロック周波数で第 1 のマクロブロック側に出力した場合に、

前記テスト用受信バッファが、

第 2 のマクロブロックからの受信データ信号を第 1 のクロック周波数で蓄積し、蓄積した受信データ信号を第 3 のクロック周波数でテスト出力端子に出力することを特徴とするテスト回路。

【請求項 3】 請求項 1 又は 2 において、

第2のマクロブロックとの間で所定の通信手順で送受信処理を行うための通信シーケンサを含み、

前記通信シーケンサが、

テスト用送信バッファに蓄積された送信データ信号を第1のクロック周波数で第2のマクロブロックに送信する処理を行い、第2のマクロブロックからの受信データ信号を第1のクロック周波数でテスト用受信バッファに受信する処理を行うことを特徴とするテスト回路。

【請求項4】 請求項1乃至3のいずれかにおいて、

その第1の入力に、第1のマクロブロックからの出力信号が入力され、その第2の入力に、テスト用送信バッファからの送信データ信号が入力される第1のセクタと、

その第1の入力に、第1のセクタからの出力信号が入力され、その第2の入力に、第2のマクロブロックからの受信データ信号が入力される第2のセクタとを含み、

第2のマクロブロックをテストする第2のテストモード時には、

前記第1のセクタが、その第2の入力に入力された送信データ信号を第2のマクロブロックに出力し、前記第2のセクタが、その第2の入力に入力された第2のマクロブロックからの受信データ信号をテスト用受信バッファに出力することを特徴とするテスト回路。

【請求項5】 請求項4において、

第1のマクロブロックをテストする第1のテストモード時には、

前記第1のセクタが、その第1の入力に入力された第1のマクロブロックからの出力信号を第2のセクタの第1の入力に出力し、前記第2のセクタが、その第1の入力に入力された第1のセクタからの出力信号を第1のマクロブロックに出力することを特徴とするテスト回路。

【請求項6】 請求項5において、

テスト回路に対して第1のマクロブロックと共にスキャンパスが設定され、

前記第1のテストモードが、

前記スキャンパスを用いてスキャン手法でテストを行うスキャンモードである

ことを特徴とするテスト回路。

【請求項 7】 請求項 6 において、

第 1 のマクロブロックからテスト回路への出力信号の本数が I 本であり、テスト回路から第 1 のマクロブロックへの入力信号の本数が J 本 ($I > J$) である場合に、第 1 のセレクトからの I 本の出力信号のうちの ($I - J$) 本の出力信号を保持する ($I - J$) 個のダミーのスキャン用フリップフロップを含み、

前記スキャンモード時において、前記ダミーのスキャン用フリップフロップが、保持された出力信号をスキャンパスを介して出力することを特徴とするテスト回路。

【請求項 8】 請求項 1 乃至 7 のいずれかのテスト回路と、

前記第 1 のマクロブロックと、

前記第 2 のマクロブロックと、

を含むことを特徴とする集積回路。

【請求項 9】 第 1 のマクロブロックとの間での送受信処理を第 1 のクロック周波数で行う第 2 のマクロブロックを、テスト用送信バッファとテスト用受信バッファを含むテスト回路を用いてテストするテスト方法であって、

テスト入力端子からの送信データ信号を、第 1 のクロック周波数よりも遅い第 2 のクロック周波数でテスト用送信バッファに蓄積し、送信データ信号を蓄積した後に、蓄積した送信データ信号を、データ通信用の物理層回路を含む第 2 のマクロブロックに対して第 1 のクロック周波数で出力し、

第 2 のマクロブロックからの受信データ信号を、第 1 のクロック周波数でテスト用受信バッファに蓄積し、受信データ信号を蓄積した後に、蓄積した受信データ信号を、第 1 のクロック周波数よりも遅い第 3 のクロック周波数でテスト出力端子に出力することを特徴とするテスト方法。

【請求項 10】 請求項 9 において、

送信データ信号を受けた第 2 のマクロブロックが、ループバックモードで送受信処理を行い、ループバックモードで受信した受信データ信号を第 1 のクロック周波数で出力した場合に、出力された受信データ信号を第 1 のクロック周波数でテスト用受信バッファに蓄積し、蓄積した受信データ信号を第 3 のクロック周波

数でテスト出力端子に出力することを特徴とするテスト方法。

【請求項 1 1】 請求項 9 又は 1 0 において、

前記テスト回路が、第 2 のマクロブロックとの間で所定の通信手順で送受信処理を行うための通信シーケンサを含み、

前記通信シーケンサを用いて、テスト用送信バッファに蓄積された送信データ信号を第 1 のクロック周波数で第 2 のマクロブロックに送信し、

前記通信シーケンサを用いて、第 2 のマクロブロックからの受信データ信号を第 1 のクロック周波数でテスト用受信バッファに受信することを特徴とするテスト方法。

【請求項 1 2】 請求項 9 乃至 1 1 のいずれかにおいて、

前記テスト回路が、

その第 1 の入力に、第 1 のマクロブロックからの出力信号が入力され、その第 2 の入力に、テスト用送信バッファからの送信データ信号が入力される第 1 のセクタと、

その第 1 の入力に、第 1 のセクタからの出力信号が入力され、その第 2 の入力に、第 2 のマクロブロックからの受信データ信号が入力される第 2 のセクタとを含み、

第 2 のマクロブロックをテストする第 2 のテストモード時には、

前記第 1 のセクタの第 2 の入力に入力された送信データ信号を、第 2 のマクロブロックに出力し、

前記第 2 のセクタの第 2 の入力に入力された第 2 のマクロブロックからの受信データ信号を、テスト用受信バッファに出力することを特徴とするテスト方法。

【請求項 1 3】 請求項 1 2 において、

第 1 のマクロブロックをテストする第 1 のテストモード時には、

前記第 1 のセクタの第 1 の入力に入力された第 1 のマクロブロックからの出力信号を、第 2 のセクタの第 1 の入力に出力し、

前記第 2 のセクタの第 1 の入力に入力された第 1 のセクタからの出力信号を、第 1 のマクロブロックに出力することを特徴とするテスト方法。

【請求項 1 4】 請求項 1 3 において、
テスト回路に対して第 1 のマクロブロックと共にスキャンパスを設定し、
前記第 1 のテストモード時において、スキャンパスを用いてスキャン手法でテストを行うことを特徴とするテスト方法。

【請求項 1 5】 請求項 1 4 において、
第 1 のマクロブロックからテスト回路への出力信号の本数が I 本であり、テスト回路から第 1 のマクロブロックへの入力信号の本数が J 本 ($I > J$) である場合に、第 1 のセレクタからの I 本の出力信号のうちの ($I - J$) 本の出力信号をダミーのスキャン用フリップフロップに保持し、
前記スキャンモード時において、保持された出力信号をスキャンパスを介して出力することを特徴とするテスト方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、テスト回路、集積回路及びテスト方法に関する。

【0 0 0 2】

【背景技術】

近年、U S B (Universal Serial Bus) 1. 1 規格に対する下位互換性を持ちながら、U S B 1. 1 に比べて格段に高速なデータ転送速度を実現できる U S B 2. 0 規格が策定され、注目を浴びている。また、U S B 2. 0 の物理層回路や、論理層回路の一部についてのインターフェース仕様を定義した U T M I (USB2. 0 Transceiver Macrocell Interface) も策定されている。このような U T M I 準拠のマクロブロック (マクロセル) を用いた集積回路の従来技術としては以下のようなものがある。

【0 0 0 3】

【特許文献 1】

特開 2 0 0 2 - 3 4 3 8 6 4 号公報

【0 0 0 4】

【発明が解決しようとする課題】

さて、このUSB 2. 0では、従来のUSB 1. 1で定義されていたFS (Full Speed) モードに加えて、HS (High Speed) モードと呼ばれる転送モードが用意されている。このHSモードでは480Mbpsでデータ転送が行われるため、12Mbpsでデータ転送が行われるFSモードに比べて高速なデータ転送を実現できる。

【0005】

しかしながらこのような高速なデータ転送が可能なUTMIのマクロブロックでは、故障検出のためのテストが難しいという課題がある。即ちUTMIのマクロブロックとその前段のSIE (Serial Interface Engine) との間では、例えば8ビットバスで60MHzのクロック周波数（第1のクロック周波数）で送受信処理が行われる。従って、UTMIのマクロブロックの故障検出（結線不良、素子不良）を行う場合には、外部のテストが、集積回路のテスト端子から60MHzのクロック周波数で送信データ信号を書き込んだり、60MHzのクロック周波数で受信データ信号を読み出す必要がある。ところが、テスト端子には大きな寄生容量が寄生しているため、テスト端子のI/Oセルでの信号遅延が大きい。従って、60MHzという高速なクロック周波数でテストしようとする、テスト結果と期待値との間のミスマッチが大きくなってしまい、安定したテストを実現できなくなるおそれがある。

【0006】

特にUTMIのマクロブロックでは、内蔵するアナログ回路や高速デジタル回路が、クロック周波数を480MHz（60MHz）に設定しないとHSモードで動作しないという特殊事情がある。また480MHz（60MHz）でテストを行わなければ、HSモードでの高速動作を保証できず、信頼性が低下するおそれもある。

【0007】

本発明は、以上のような技術的課題に鑑みてなされたものであり、その目的とするところは、高速なデータ通信用の物理層回路を含むマクロブロックのテストに最適なテスト回路、これを含む集積回路、及びこれを用いたテスト方法を提供することにある。

【0008】

【課題を解決するための手段】

本発明は、第1のマクロブロックとの間での送受信処理を第1のクロック周波数で行う第2のマクロブロックのためのテスト回路であって、テスト入力端子からの送信データ信号を、第1のクロック周波数よりも遅い第2のクロック周波数で蓄積するテスト用送信バッファと、第2のマクロブロックからの受信データ信号を、第1のクロック周波数よりも遅い第3のクロック周波数でテスト出力端子に出力するテスト用受信バッファとを含み、前記テスト用送信バッファが、テスト入力端子からの送信データ信号を第2のクロック周波数で蓄積した後に、蓄積した送信データ信号をデータ通信用の物理層回路を含む第2のマクロブロックに対して第1のクロック周波数で出力し、前記テスト用受信バッファが、第2のマクロブロックからの受信データ信号を第1のクロック周波数で蓄積した後に、蓄積した受信データ信号を第3のクロック周波数でテスト出力端子に出力するテスト回路に関する。

【0009】

本発明によれば、テスト入力端子からの送信データ信号は、遅い第2のクロック周波数（第2の速度）でテスト用送信バッファに蓄積される。そして蓄積後に、テスト用送信バッファの送信データ信号が、速い第1のクロック周波数（第1の速度）で読み出されて、第2のマクロブロックに出力される。また本発明によれば、第2のマクロブロックからの受信データ信号は、速い第1のクロック周波数でテスト用受信バッファに蓄積される。そして蓄積後に、テスト用受信バッファの受信データ信号が、遅い第3のクロック周波数（第3の速度）で読み出されて、テスト出力端子に出力される。なお、第3のクロック周波数は、第2のクロック周波数と同じであってもよいし、異なってもよい。

【0010】

このように本発明によれば、テスト入力端子からテスト用送信バッファへの送信データ信号の蓄積（書き込み）や、テスト用受信バッファからテスト出力端子への受信データ信号の出力（読み出し）が、遅い第2、第3のクロック周波数で行われる。従って、テスト入力端子やテスト出力端子において信号遅延が生じて

も、時間的な余裕を持ってテストを行うことができ、安定したテスト結果を得ることができる。

【0011】

また本発明によれば、テスト用送信バッファから第2のマクロブロックへの出力処理や、第2のマクロブロックからテスト用受信バッファへの蓄積処理は、速い第1のクロック周波数で行われる。従って、第2のマクロブロックが、第1のマクロブロックとの間の送受信処理を、速い第1のクロック周波数で行う場合にも、この第2のマクロブロックに最適なテスト手法を提供できる。

【0012】

また本発明では、送信データ信号を受けた第2のマクロブロックが、第1、第2のマクロブロック間のバスとは異なる第1のバスにおいてループバックモードで送受信処理を行い、ループバックモードで受信した受信データ信号を第1のクロック周波数で第1のマクロブロック側に出力した場合に、前記テスト用受信バッファが、第2のマクロブロックからの受信データ信号を第1のクロック周波数で蓄積し、蓄積した受信データ信号を第3のクロック周波数でテスト出力端子に出力するようにしてもよい。

【0013】

なお第2のマクロブロックの第1のバス（例えばUSB、IEEE1394）での送受信処理は、ループバックモードで行うことが望ましいが、ループバックモードで行わないようにしてもよい。

【0014】

また本発明では、第2のマクロブロックとの間で所定の通信手順で送受信処理を行うための通信シーケンサを含み、前記通信シーケンサが、テスト用送信バッファに蓄積された送信データ信号を第1のクロック周波数で第2のマクロブロックに送信する処理を行い、第2のマクロブロックからの受信データ信号を第1のクロック周波数でテスト用受信バッファに受信する処理を行うようにしてもよい。

【0015】

このようにすれば、第2のマクロブロックとの間の送受信処理が通信シーケン

サにより自動的に行われるようになるため、テスト効率を向上できる。なお、通信シーケンサが、送信処理機能と受信処理機能のいずれか一方のみを持つようにしてもよい。

【0016】

また本発明では、その第1の入力に、第1のマクロブロックからの出力信号が入力され、その第2の入力に、テスト用送信バッファからの送信データ信号が入力される第1のセレクタと、その第1の入力に、第1のセレクタからの出力信号が入力され、その第2の入力に、第2のマクロブロックからの受信データ信号が入力される第2のセレクタとを含み、第2のマクロブロックをテストする第2のテストモード時には、前記第1のセレクタが、その第2の入力に入力された送信データ信号を第2のマクロブロックに出力し、前記第2のセレクタが、その第2の入力に入力された第2のマクロブロックからの受信データ信号をテスト用受信バッファに出力するようにしてもよい。

【0017】

また本発明では、第1のマクロブロックをテストする第1のテストモード時には、前記第1のセレクタが、その第1の入力に入力された第1のマクロブロックからの出力信号を第2のセレクタの第1の入力に出力し、前記第2のセレクタが、その第1の入力に入力された第1のセレクタからの出力信号を第1のマクロブロックに出力するようにしてもよい。

【0018】

このようにすれば、例えば、第1のテストモードを用いることで、第1のマクロブロックとテスト回路との接続部分の故障検出が可能になる。また、第2のテストモードを用いることで、テスト回路と第2のマクロブロックとの接続部分の故障検出が可能になる。これにより、第1、第2のマクロブロック間の接続部分の故障検出が可能になる。

【0019】

なお通常動作モード（第1、第2のテストモードではないモード）においては、第1のセレクタが、その第1の入力に入力された第1のマクロブロックからの出力信号を第2のマクロブロックに出力し、第2のセレクタが、その第2の入力

に入力された第2のマクロブロックからの出力信号を第1のマクロブロックに出力してもよい。また第1、第2のセレクトが備える入力、第1、第2の入力に限定されず、3以上の入力を備えていてもよい。

【0020】

また本発明では、テスト回路に対して第1のマクロブロックと共にスキャンパスが設定され、前記第1のテストモードが、前記スキャンパスを用いてスキャン手法でテストを行うスキャンモードであってもよい。

【0021】

ここでスキャンパスが設定されるとは、例えば、スキャンイン端子（1又は複数本）からスキャン用フリップフロップ（スキャン回路）を介してスキャンアウト端子（1又は複数本）に至るパスが設定されることをいう。

【0022】

また本発明は、第1のマクロブロックからテスト回路への出力信号の本数がI本であり、テスト回路から第1のマクロブロックへの入力信号の本数がJ本（ $I > J$ ）である場合に、第1のセレクトからのI本の出力信号のうちの（ $I - J$ ）本の出力信号を保持する（ $I - J$ ）個のダミーのスキャン用フリップフロップを含み、前記スキャンモード時において、前記ダミーのスキャン用フリップフロップが、保持された出力信号をスキャンパスを介して出力するようにしてもよい。

【0023】

このようにすれば、第1のマクロブロックからのI本の出力信号（第1～第Iの出力信号）のうち、（ $I - J$ ）本の出力信号（第J～第Iの出力信号）の結線不良等も効率良く調べることが可能になる。

【0024】

また本発明は上記のいずれかのテスト回路と、前記第1のマクロブロックと、前記第2のマクロブロックとを含む集積回路に関係する。

【0025】

また本発明は、第1のマクロブロックとの間での送受信処理を第1のクロック周波数で行う第2のマクロブロックを、テスト用送信バッファとテスト用受信バッファを含むテスト回路を用いてテストするテスト方法であって、テスト入力端

子からの送信データ信号を、第1のクロック周波数よりも遅い第2のクロック周波数でテスト用送信バッファに蓄積し、送信データ信号を蓄積した後に、蓄積した送信データ信号を、データ通信用の物理層回路を含む第2のマクロブロックに対して第1のクロック周波数で出力し、第2のマクロブロックからの受信データ信号を、第1のクロック周波数でテスト用受信バッファに蓄積し、受信データ信号を蓄積した後に、蓄積した受信データ信号を、第1のクロック周波数よりも遅い第3のクロック周波数でテスト出力端子に出力するテスト方法に係する。

【0026】

また本発明では、送信データ信号を受けた第2のマクロブロックが、ループバックモードで送受信処理を行い、ループバックモードで受信した受信データ信号を第1のクロック周波数で出力した場合に、出力された受信データ信号を第1のクロック周波数でテスト用受信バッファに蓄積し、蓄積した受信データ信号を第3のクロック周波数でテスト出力端子に出力するようにしてもよい。

【0027】

また本発明では、前記テスト回路が、第2のマクロブロックとの間で所定の通信手順で送受信処理を行うための通信シーケンサを含み、前記通信シーケンサを用いて、テスト用送信バッファに蓄積された送信データ信号を第1のクロック周波数で第2のマクロブロックに送信し、前記通信シーケンサを用いて、第2のマクロブロックからの受信データ信号を第1のクロック周波数でテスト用受信バッファに受信するようにしてもよい。

【0028】

また本発明では、前記テスト回路が、その第1の入力に、第1のマクロブロックからの出力信号が入力され、その第2の入力に、テスト用送信バッファからの送信データ信号が入力される第1のセレクタと、その第1の入力に、第1のセレクタからの出力信号が入力され、その第2の入力に、第2のマクロブロックからの受信データ信号が入力される第2のセレクタとを含み、第2のマクロブロックをテストする第2のテストモード時には、前記第1のセレクタの第2の入力に入力された送信データ信号を、第2のマクロブロックに出力し、前記第2のセレクタの第2の入力に入力された第2のマクロブロックからの受信データ信号を、テ

スト用受信バッファに出力するようにしてもよい。

【0029】

また本発明では、第1のマクロブロックをテストする第1のテストモード時には、前記第1のセレクタの第1の入力に入力された第1のマクロブロックからの出力信号を、第2のセレクタの第1の入力に出力し、前記第2のセレクタの第1の入力に入力された第1のセレクタからの出力信号を、第1のマクロブロックに出力するようにしてもよい。

【0030】

また本発明では、テスト回路に対して第1のマクロブロックと共にスキャンパスを設定し、前記第1のテストモード時において、スキャンパスを用いてスキャン手法でテストを行うようにしてもよい。

【0031】

また本発明では、第1のマクロブロックからテスト回路への出力信号の本数がI本であり、テスト回路から第1のマクロブロックへの入力信号の本数がJ本（ $I > J$ ）である場合に、第1のセレクタからのI本の出力信号のうちの（ $I - J$ ）本の出力信号をダミーのスキャン用フリップフロップに保持し、前記スキャンモード時において、保持された出力信号をスキャンパスを介して出力するようにしてもよい。

【0032】

【発明の実施の形態】

以下、本実施形態について説明する。なお、以下に説明する本実施形態は、特許請求の範囲に記載された本発明の内容を不当に限定するものではない。また本実施形態で説明される構成の全てが本発明の解決手段として必須であるとは限らない。

【0033】

1. マクロブロックの送受信テスト

図1（A）に、複数のマクロブロックMB1、MB2（マクロセル、回路ブロック）を接続することで構成される集積回路の例を示す。ここでMB2はデータ通信用の物理層回路PHYを含むマクロブロックであり、例えばUTMI（USB2

.0 Transceiver Macrocell Interface) に準拠したマクロブロックである。また MB 1 は、MB 2 を制御する回路である S I E (Serial Interface Engine) などを含むマクロブロックである。

【0034】

図 1 (A) に示すような集積回路の故障検出を行う場合に、例えば図 1 (B) に示すようにマクロブロック MB 1 内部の故障検出については、MB 1 にスキャンパスを設定して行う公知のスキャン手法により実現できる。

【0035】

一方、マクロブロック MB 2 内部の故障検出についても、例えばテスト入力端子 T P I からテスト入力信号 T I N を入力し、その結果であるテスト出力信号 T O U T をテスト出力端子 T P O から出力することで実現できる。より具体的には、マクロブロック MB 2 の U S B (広義には第 1 のバス) 上での送受信処理をループバックモードに設定し、U S B 上で送信した送信データ信号を MB 2 自身が受信データ信号として受信できるようにする。そして外部のテストがテスト入力端子 T P I から送信データ信号 T I N を入力すると、マクロブロック MB 2 が入力された送信データ信号を U S B 上で送信する。そしてループバックモードに設定された MB 1 が、その送信データ信号を受信データ信号として U S B 上で受信すると、その受信データ信号がマクロブロック MB 1 側に出力され、テスト出力端子 T P O を介して外部のテストにより読み出される。そしてテストは、読み出された受信データ信号が期待値と一致するか否かを判定する。

【0036】

さて、マクロブロック MB 2 は、U S B 上で例えば 480 MHz のクロック周波数でデータの送受信処理を行う。このため、マクロブロック MB 2 と、S I E を含むマクロブロック MB 1 との間の送受信処理は例えば 60 MHz のクロック周波数 (第 1 のクロック周波数 C F 1) で行われることになる。従って、テスト入力端子 T P I から送信データ信号 T I N を入力する場合には、60 MHz のクロック周波数 (C F 1) で入力する必要がある。またテスト出力端子 T P O から受信データ信号 T O U T を出力する場合にも、60 MHz のクロック周波数で出力する必要がある。

【0037】

ところが、テスト端子 T P I、T P O には一般的に大きな寄生容量が寄生している。従って、テスト端子の I / O セルでの信号遅延値が大きく、集積回路の製造プロセスの変動や温度変動によって信号遅延値が大きくなる。従って、60MHz という高速なクロック周波数で、端子 T P I を介して信号 T I N を入力したり、端子 T P O を介して信号 T O U T を読み出すと、信号遅延が原因となってテスト結果と期待値との間にミスマッチが生じる。従って、安定したテスト結果を得ることができないという課題がある。

【0038】

更に図 1 (B) に示すような手法でテストした場合に、接続部分 10 (I 本の信号 S C 1 2 の結線及び J 本の信号 S C 2 1 の結線) の故障検出が難しいという課題もある。即ち、マクロブロック M B 1 にスキャンパスを設定してテストしたとしても、接続部分 10 (信号 S C 1 2、S C 2 1) の故障検出率を例えば 90 パーセント以上にできるテストパターンの作成は困難である。このためテストパターン開発の長期化や高コスト化を招く。

【0039】

また図 1 (B) の手法では、(I + J) 本のテスト端子 T P I、T P O を設ける必要があるため、端子数が増加してしまい、集積回路の高コスト化を招くという課題もある。そこで、以上のような課題を解決できるテスト回路の実現が望まれる。

【0040】**2. テスト回路**

図 2 に本実施形態のテスト回路 T C 及びこれを含む集積回路の例を示す。なお図 2 ではマクロブロックの数を 2 個としているが、本実施形態の集積回路は 3 個以上のマクロブロックを含んでもよい。

【0041】

図 2 においてマクロブロック (回路ブロック) M B 1、M B 2 は、1 又は複数の特定機能を有する回路 (例えば通信用回路、通信用回路を制御する回路、バスとのインターフェース回路、R A M、C P U、D S P、液晶ドライバ、C C D コ

ントローラ、或いはユーザのカスタム回路等) を有する回路ブロックである。

【0042】

より具体的にはMB 2は、通信用の物理層回路PHYを含む通信用のマクロブロックであり、更に具体的にはUTMI仕様(特定のインターフェース規格)に準拠したマクロブロックである。またMB 1は、例えばMB 2を制御する回路(SIE)、バッファ、インターフェース回路、或いはユーザのカスタム回路などを含むマクロブロックである。別の言い方をすればMB 1は、ロジック回路により構成されるマクロブロックであり、MB 2は、通信用物理層回路PHYなどのアナログ回路を含むマクロブロックである。そしてMB 2は、送信データ信号、受信データ信号の送受信処理を、マクロブロックMB 1との間で、クロック周波数CF 1(CF 1のクロック信号)で行うマクロブロックである。

【0043】

テスト回路TCはテスト用送信バッファTXBを含む。このTXBは、テスト入力端子TP Iからの送信データ信号TI(テスト入力信号)を、CF 1(第1のクロック周波数)よりも遅いCF 2(第2のクロック周波数)で蓄積(store)するバッファである。より具体的にはTXBは、周波数CF 2のクロック信号に同期してTP Iからの信号TIを蓄積するバッファである。

【0044】

テスト回路TCはテスト用受信バッファRXBを含む。このRXBは、受信データ信号TO(テスト出力信号)を周波数CF 1よりも遅い周波数CF 3(第3のクロック周波数)でテスト出力端子TP Oに出力するバッファである。より具体的にはRXBは、周波数CF 3のクロック信号に同期して信号TOをTP Oに出力するバッファである。

【0045】

図3(A)を用いて説明すれば、本実施形態では、テスト用送信バッファTXBが、テスト入力端子TP Iからの送信データ信号TIを、遅いクロック周波数CF 2で蓄積する(CF 2のクロック信号に同期して蓄積する)。即ち外部のテストが、端子TP Iを介して送信データ信号を周波数CF 2でTXBに書き込む。そしてTXBは、蓄積が終了した後に(所定バイト数のデータの蓄積後に)、

図3 (B) に示すように、蓄積した送信データ信号T I Nを、マクロブロックM B 2 に対して、C F 2 よりも速い周波数C F 1 で出力する (C F 1 のクロック信号に同期して出力する)。すると、マクロブロックM B 2 は、周波数C F 1 で送信データ信号T I Nを受け取る。

【0046】

その後、マクロブロックM B 2 は、受信データ信号T O U Tを、速い周波数C F 1 でテスト回路T Cに出力する。より具体的には、送信データ信号T I Nを受けたマクロブロックM B 2 が、U S B (広義には第1のバス) 上においてループバックモードで送受信処理を行い、ループバックモードで受信した受信データ信号を、周波数C F 1 でマクロブロックM B 1 側 (テスト回路T C側) に出力する。

【0047】

すると図3 (C) に示すように、テスト用受信バッファR X Bが、マクロブロックM B 2 からの受信データ信号T O U Tを、速いクロック周波数C F 1 で蓄積する (C F 1 のクロック信号に同期して蓄積する)。そしてR X Bは、蓄積が終了した後に、蓄積した受信データ信号T I を、遅いクロック周波数C F 3 でテスト出力端子T P Oに出力する (C F 3 のクロック信号に同期して出力する)。即ち、外部のテストが、端子T P Oを介して受信データ信号を周波数C F 3 でR X Bから読み出す。そして、読み出された受信データ信号と期待値とを比較して、テストの可否を判定する。なおC F 2 とC F 3 は同一の周波数であってもよいし、異なる周波数であってもよい。

【0048】

以上のように本実施形態では、遅い周波数C F 2 で送信バッファT X Bに受信データを溜めた後、溜めた受信データを速い周波数C F 1 でT X Bから読み出している。またM B 2 からの受信データを、速い周波数C F 1 で受信バッファR X Bに溜めた後、溜めた受信データを遅い周波数C F 3 でR X Bから読み出している。

【0049】

従って、端子T P I を介した送信バッファT X Bへの書き込み処理や、T P O

を介した受信バッファ R X B からの読み出し処理を、遅い周波数 C F 2、C F 3 で行うことができる。従って、テストは、信号の書き込み処理や読み出し処理を余裕を持って行うことができるようになる。この結果、これらの端子 T P I、T P O の I / O セルで信号遅延が生じたとしても、テスト結果と期待値との比較処理を問題なく行うことが可能になり、安定したテスト動作を実現できる。

【 0 0 5 0 】

また U T M I 準拠のマクロブロック M B 2 では、それが含むアナログ回路や光速ロジック回路が、H S モード時に 4 8 0 M H z (6 0 M H z) の周波数でしか動作しないという問題がある。また 4 8 0 M H z でマクロブロック M B 2 を動作させてテストしないと、U S B 2 . 0 の H S モードでの高速動作を確実に保証できないおそれもある。

【 0 0 5 1 】

本実施形態によれば、送信バッファ T X B からの送信データ信号の出力や、受信バッファ R X B への受信データ信号の蓄積は、速い周波数 C F 1 (6 0 M H z) で行うことができる。従って、マクロブロック M B 2 を速い周波数 (アナログ回路や高速ロジック回路については 4 8 0 M H z、インターフェース回路については 6 0 M H z) で動作させることが可能になる。この結果、マクロブロック M B 2 を適正に動作させながらテストができると共に、テストの信頼性も向上できるようになる。

【 0 0 5 2 】

図 4 に、図 2 のテスト回路の動作を説明するための波形図を示す。T C K はテスト用のクロック信号であり、T A D は、送信バッファ T X B、受信バッファ R X B のアドレスを指定するためのアドレス信号である。また T W R は T X B のライト信号であり、T R D は R X B のリード信号である。また W C K は、T X B に対して送信データ信号を書き込むためのクロック信号であり、この W C K は例えば T C K と T W R により生成できる。また R C K は、R X B から受信データ信号を読み出すためのクロック信号であり、この R C K は例えば T C K と T R D により生成できる。

【 0 0 5 3 】

図4のB1に示すように、図3（A）で説明した送信バッファTXBへの書き込み処理は、遅い周波数CF2のクロック信号WCKにより行われる。

【0054】

また図4のB2に示すように、図3（B）で説明した送信バッファTXBからの送信データ信号の読み出し処理や受信バッファRXBへの受信データ信号の書き込み処理（MB2の送受信処理）は、速い周波数CF1のクロック信号CLKにより行われる。

【0055】

また図4のB3に示すように、図3（C）で説明した受信バッファRXBからの受信データ信号の読み出し処理は、遅い周波数CF3のクロック信号RCKにより行われることになる。

【0056】

3. 通信シーケンサ

本実施形態では、図5に示すようにテスト回路TCに通信シーケンサCSQを含ませることができる。

【0057】

ここで通信シーケンサCSQはマクロブロックMB2との間で所定の通信手順（UTMIなどの通信マクロブロック仕様に準拠した通信手順）で送受信処理を行う。そして、送信バッファTXBに、端子TPIから周波数CF2で送信データ信号が蓄積されると、その蓄積が完了した後に、通信シーケンサCSQは、送信バッファTXBに蓄積された送信データ信号を周波数CF1でマクロブロックMB2に自動送信する。

【0058】

その後、CSQは、MB2からの受信データ信号を周波数CF1で自動受信して受信バッファRXBに蓄積する。そして受信バッファRXBへの受信データ信号の蓄積が完了した後に、蓄積された受信データ信号は周波数CF3で読み出されて、端子TPOに出力される。

【0059】

このような通信シーケンサCSQを用いれば、送信バッファTXBから送信デ

ータ信号を読み出して送信する処理や、マクロブロック MB 2 から受信データ信号を受信して受信バッファ R X B に書き込む処理などを、自動的に行えるようになり、テストの効率化を図れる。

【 0 0 6 0 】

4. 接続部分の故障検出

図 1 の MB 1、MB 2 間の接続部分 1 0 での故障検出を向上できるテスト回路 TC の構成例を図 6 に示す。

【 0 0 6 1 】

このテスト回路 TC はセレクト SEL 1 (第 1 のセレクト) を含む。ここで SEL 1 は、その第 1 の入力に、MB 1 (第 1 のマクロブロック) からの出力信号 M 1 O U T が入力される。またその第 2 の入力に、MB 2 (第 2 のマクロブロック) 用のテスト入力信号 T I N が入力される。この SEL 1 の選択動作は選択信号 S S 1 により制御される。

【 0 0 6 2 】

テスト回路 TC はセレクト SEL 2 (第 2 のセレクト) を含む。ここで SEL 2 は、その第 1 の入力に、SEL 1 からの出力信号 S Q が入力される。また、その第 2 の入力に、MB 2 からの出力信号 M 2 O U T が入力される。この SEL 2 の選択動作は選択信号 S S 2 により制御される。

【 0 0 6 3 】

そして図 7 (A) に示すように MB 1 をテストする第 1 のテストモード (例えばスキャンモード) では、セレクト SEL 1 が、その第 1 の入力に入力された MB 1 からの出力信号 M 1 O U T (例えば I 本) を選択して、その出力信号 S Q を SEL 2 の第 1 の入力に出力する。またセレクト SEL 2 が、その第 1 の入力に入力された第 1 のセレクトからの出力信号 S Q を、入力信号 M 1 I N (例えば J 本) として MB 1 に出力する。図 7 (A) に示すように、この第 1 のテストモードでは、端子 D T I N (データ入力端子又はスキャンイン端子 S C I N 等) からテストパターン信号 (論理テストパターン) を入力する。そして、端子 D T O U T (データ出力端子又はスキャンアウト端子 S C O U T 等) から出力される結果と期待値とを比較して検証を行う。

【0064】

一方、図7（B）に示すように、MB 2をテストする第2のテストモードでは、SEL 1が、その第2の入力に入力されたMB 2用のテスト入力信号T IN（例えばI本）を、入力信号M2 IN（例えばI本）としてMB 2に出力する。またSEL 2が、その第2の入力に入力されたMB 2からの出力信号M2 OUT（例えばJ本）を、MB 2用のテスト出力信号T OUT（例えばJ本）として出力する。この第2のテストモードでは、端子TP Iからテスト入力信号（論理テストパターン、送信データ信号）を入力する。そして端子TP Oから出力されたテスト出力信号（論理テストパターンの結果、受信データ信号）と期待値とを比較して検証を行うことになる。

【0065】

なお、第1、第2のテストモードではない通常動作モード（集積回路が通常に動作するモード）では、マクロブロックMB 1からの出力信号M1 OUTは、セクタSEL 1を介してマクロブロックMB 2への入力信号M2 INとしてMB 2に入力される。またマクロブロックMB 2からの出力信号M2 OUTは、セクタSEL 2を介してマクロブロックMB 1への入力信号M1 INとしてMB 1に入力される。

【0066】

また、テスト入力信号T INは、テスト入力端子TP Iから、図2で説明したテスト用送信バッファTXBを介してセクタSEL 1に入力される。またテスト出力信号T OUTは、セクタSEL 2から、図2で説明したテスト用受信バッファRXBを介してテスト出力端子TP Oに出力される。

【0067】

図6の本実施形態のテスト回路TCによれば、図7（A）の第1のテストモードにより、マクロブロックMB 1とテスト回路TCの接続部分12の故障検出（結線不良）が可能になる。また図7（B）の第2のテストモードにより、テスト回路TCとマクロブロックMB 2の接続部分14の故障検出も可能になる。これにより、結局、図1で説明したマクロブロックMB 1、MB 2間の接続部分10の故障検出が可能になる。

【0068】

しかも図7 (A) の第1のテストモードにより接続部分12の故障を検出するテストパターンは比較的容易に作成(自動生成)できる。また図7 (B) の第2のテストモードでの接続部分14の故障検出も容易である。更にテスト入力信号TINやテスト出力信号TOUTを用いれば、マクロブロックMB2が通信用物理層回路などのアナログ回路を含む場合にも、そのテストを容易化できる。従って本実施形態によれば、テストパターン開発期間の短縮化、低コスト化を図れるとともに、故障検出率を高めて集積回路の信頼性を向上できる。

【0069】**5. スキャン手法**

図7 (A) の第1のテストモードはスキャン手法でテストを行うスキャンモードであることが望ましい。例えば図8に示すように、マクロブロックMB1のみならずテスト回路TCに対してもスキャンパスを設定する。即ち、マクロブロックMB1内のフリップフロップのみならず、テスト回路TC内のフリップフロップもスキャン用FF(スキャン回路)に置き換えて、これらのスキャン用FFをネットで結んでスキャンパス(スキャンチェーン)を構成する。別の言い方をすれば、マクロブロックMB1及びテスト回路TCを1つのマクロブロックMB12と見なして、MB12のネットリストに対して、公知のスキャンテスト用ツールを用いてスキャン用FFを挿入する(スキャンパスを設定する)。

【0070】

例えば図9 (A) にフリップフロップFF1、FF2、FF3と、組み合わせ論理回路CM1、CM2を含む回路を示す。この回路をスキャン手法でテストする場合には、図9 (B) に示すように、フリップフロップFF1、FF2、FF3を、セクタSL1、SL2、SL3を有するスキャン用フリップフロップSFF1、SFF2、SFF3に置き換える。また組み合わせ論理回路CM1、CM2を通る通常パスをバイパスするスキャンパスSCP1、SCP2を設ける。

【0071】

そして、まず、スキャンイネーブル信号SCENを第1のレベル(例えばHレベル)に設定して、セクタSL1、SL2、SL3にスキャンパス側(SCI

N側)を選択させる。そしてスキャンイン端子SCINからテストパターン信号をシリアルに順次入力して、フリップフロップFF1、FF2、FF3に対してテストパターン信号を設定する。

【0072】

次に、スキャンイネーブル信号SCENを第2のレベル(例えばLレベル)に設定し、セクタSL1、SL2、SL3に通常パス側(DIN側)を選択させる。そしてクロック信号CKを例えば1クロックパルス分だけアクティブにして、フリップフロップFF1、FF2の出力信号を組み合わせ回路CM1、CM2に入力すると共に、CM1、CM2の出力信号をFF2、FF3に保持する。

【0073】

次に、スキャンイネーブル信号SCENを第1のレベルに設定して、セクタSL1、SL2、SL3にスキャンパス側(SCIN側)を選択させる。そして、フリップフロップFF1、FF2、FF3に保持されているテスト結果信号を、スキャンパスSCP1、SCP2を介して、スキャンアウト端子SCOUTからシリアルに出力し、期待値と比較する。このようにすることで、フリップフロップFF1、FF2、FF3及び組み合わせ論理回路CM1、CM2の素子不良や、これらの回路間の結線不良をテストできる。

【0074】

図10にスキャン手法を用いるテスト方法のフローチャートを示す。まず回路設計を行い、設計した回路のネットリストを生成する(ステップS1、S2)。次に、公知のスキャンテスト用ツールを用いて、設計した回路にスキャンFFを挿入し、スキャンFFを含むネットリストを生成する(ステップS3、S4)。次に、スキャンFFを含むネットリストを用いて論理シミュレーションを行い、テストパターンを作成(自動生成)する(ステップS5、S6)。その後、回路のレイアウトを行い、マスクデータを生成する(ステップS7、S8)。そして、ステップS6で作成(自動生成)されたテストパターンを用いて、試作品又は量産品のテストを行う(ステップS9)。

【0075】

以上のようなスキャン手法を用いると、マクロブロックの規模は若干大きくな

るが、スキャンFFの間にある組み合わせ論理回路を切り出して部分的にテストできるようにするため、テストパターンの作成を容易化できると共に、故障検出率を向上できる。

【0076】

そして本実施形態では図8に示すように、マクロブロックMB1とテスト回路TCを1つのマクロブロックMB12と見なして、マクロブロックMB1及びテスト回路TCに対して、スキャンイン端子SCINからスキャンアウト端子SCOUTに至るスキャンパスを設定している（スキャン用FFを挿入している）。従って、マクロブロックMB1とテスト回路TCの間の接続部分12の故障（結線不良）を高い故障検出率で検出できるテストパターンを容易に作成できるようになる。これによりテストパターン開発の期間短縮化、低コスト化を実現できる。

【0077】

6. ダミーのスキャン用フリップフロップ

本実施形態では、図11に示すようにテスト回路TCに1又は複数個のダミーのスキャン用フリップフロップDSFFを含ませることができる。

【0078】

例えば図11では、マクロブロックMB1からの出力信号M1OUTの本数がI本であり、テスト回路TCからMB1への入力信号の本数がJ本（ $I > J$ 。I、Jは自然数又は2以上の整数）となっている。即ち出力信号M1OUTの本数の方が入力信号M1INの本数よりも多い。このように信号本数に違いがある場合において、テスト回路TC及びマクロブロックMB1に一体的にスキャンパスを設定する図8の手法を実現するために、図11ではダミーのスキャン用フリップフロップDSFFをテスト回路TCに含ませている。

【0079】

より具体的には、セクタSEL1からのI本の出力信号（第1～第Iの出力信号）のうち、（ $I - J$ ）本の出力信号（第J～第Iの出力信号）を保持する（ $I - J$ ）個のダミーのスキャン用フリップフロップDSFFをテスト回路TC内に設ける。そして、図8で説明したスキャンモード（第1のテストモード）時に

において、ダミーのスキャン用フリップフロップDSFFが、保持した出力信号をスキャンパス（スキャンイン端子からスキャン用フリップフロップを介してスキャンアウト端子に至るパス）を介して出力するようにする。即ち、DSFFは、前段のスキャン用フリップフロップから入力された信号を保持し、保持した信号を後段のスキャン用フリップに出力する。

【0080】

例えば図10のステップS2で生成されるネットリストに対して、図12（A）に示すような3個（広義には（I-J）個）のダミーのフリップフロップDFF1、DFF2、DFF3を含ませておく。これらのDFF1、DFF2、DFF3のデータ端子Dには、セクタSEL1からのI本の出力信号のうちの（I-J）本の出力信号DIN1、DIN2、DIN3（第J～第Iの出力信号）が接続される。

【0081】

そして図10のステップS4、S5で説明したスキャン手法により、ネットリスト中のDFF1、DFF2、DFF3を図12（B）に示すようにダミーのスキャン用フリップフロップDSFF1、DSFF2、DSFF3（通常動作モードにおいては意味をなさない無効なダミーのフリップフロップ）に置き換える。

【0082】

そしてスキャンモード時に、SL1、SL2、SL3にDIN側を選択させて、信号DIN1、DIN2、DIN3（セクタSEL1或いはSEL1の後段のスキャン用フリップフロップからの（I-J）本の出力信号）を、DFF1、DFF2、DFF3に保持させる。その後、SL1、SL2、SL3にSCIN側を選択させて、SCINからSCOUTに至るスキャンパスを介して、DFF1、DFF2、DFF3（DSFF1～DSFF3）に保持された信号DIN1、DIN2、DIN3をシリアルに出力させる。

【0083】

図12（C）には、マクロブロックMB1及びテスト回路TCに設定されるスキャンパスの様子が概念的に示されている。例えば図12（C）では、MB1からTCへの出力信号M1OUT-1、M1OUT-2が2本（I本）であり、TCか

らMB 1への入力信号M1 INが1本であるため、1個（I-J個）のダミーのスキャン用フリップフロップDSFF 1が設けられる。

【0084】

そしてSEL 1-1（第1のセクタ）の第1の入力には、MB 1内のフリップフロップFF 6からの出力信号M1 OUT-1が入力され、第2の入力には、テスト入力端子TP I-1（TXB）からのテスト入力信号T IN-1が入力される。そしてSEL 1-1の出力信号SQ-1は、TC内に設けられたダミーのスキャン用フリップフロップDSFF 1のデータ端子に入力される。

【0085】

またSEL 1-2（第1のセクタ）の第1の入力には、MB 1内のフリップフロップFF 5からの出力信号M1 OUT-2が入力され、第2の入力には、テスト入力端子TP I-2（TXB）からのテスト入力信号T IN-2が入力される。そしてSEL 1-2の出力信号SQ-2は、TC内に設けられたフリップフロップFF 2のデータ端子に入力される。

【0086】

またSEL 2（第2のセクタ）の第1の入力には、SEL 1-2からの出力信号SQ-2が入力され、第2の入力には、MB 2からの出力信号M2 OUTが入力される。そしてSEL 2の出力信号TOUTは、テスト出力端子TPO（RXB）、或いはMB 1内のフリップフロップFF 4に出力される。

【0087】

そしてスキャンモード時には、SCINからSCOUTに至るスキャンパスを介して、DSFF 1、FF 2、FF 3、FF 4、FF 5、FF 6に保持された信号（値）がSCOUTからシリアルに出力され、これによりスキャン手法によるテストを実現できる。

【0088】

以上のようにすることで、図11のように信号M1 OUTの本数Iの方がM1 INの本数Jよりも多い場合においても、余った（I-J）本の信号M1 OUTについての結線不良を、図8で説明したスキャン手法により検出できる。即ちこれらの（I-J）本の信号をスキャンモード時に、SCINからMB 1、TCを

介してSCOUTに至るスキャンパスを介して出力できるようになる。この結果、より信頼性のある故障検出が可能になる。

【0089】

なお、図12(A)では、スキャン用フリップフロップに置き換える前のダミーのフリップフロップDFF1、DFF2、DFF3は、そのQ端子に何も接続されていないフリップフロップとなっている。このようにQ端子に何も接続されていないフリップフロップDFF1、DFF2、DFF3は、ネットリスト生成ツールの仕様によっては、無効なフリップフロップであると認識されて削除されてしまう可能性がある。従って、このような事態を防止するために、DFF1、DFF2、DFF3のQ端子に対して、通常動作に対して悪影響を及ぼさないノード（例えば後述するテスト用バッファのノード）を接続するようにしてもよい。

【0090】

7. 詳細例

7.1 全体構成

図13にテスト回路TCの詳細な構成例を示す。なお本実施形態のテスト回路は図13に示す全て構成要素を含む必要はなく、その一部を省略してもよい。

【0091】

図13においてTPIはテスト入力端子であり、TPOはテスト出力端子である。またTPCKはテストクロック端子であり、TPRSはリセット端子である。またTPAD、TPWR、TPRDはバッファ（レジスタ）のアドレス端子、ライト端子、リード端子である。またTPMD1、TPMD2はテストモード端子である。またPDP、PDMは、USBにおいて定義される差動信号DP、DM（データプラス、データマイナス）の端子である。

【0092】

図13においてMB2は、データ通信用の物理層回路PHYを含むマクロブロックである。このMB2としてはUTMI仕様（広義には通信マクロブロック仕様）に準拠したマクロブロックなどがある。なおこのマクロブロックMB2は、DP、DMを用いてUSB（第1のバス）上で送信した送信データ信号を、ルー

プバックモードで受信データ信号として受信する機能も有している。

【0093】

テスト回路TCは通信シーケンサCSQを含む。この通信シーケンサCSQはマクロブロックMB2との間で所定の通信手順（通信マクロブロック仕様に準拠した通信手順）で信号の送受信処理（ハンドシェイク処理）を行うためのシーケンサである。この通信シーケンサCSQ（テスト用送信バッファTXB）からの送信データ信号は、MB2へのテスト入力信号TIN1としてセクタSEL1に入力される。またセクタSEL2からのテスト出力信号TOUT1（TOUT）は、受信データ信号として通信シーケンサCSQ（テスト用受信バッファRXB）に入力される。

【0094】

より具体的には通信シーケンサCSQは、図7（B）で説明した第2のテストモード時において、マクロブロックMB2への送信データ信号を、セクタSEL1を介してMB2に送信する処理を行う。またMB2からの受信データ信号を、SEL2を介してMB2から受信する処理を行う。

【0095】

通信シーケンサCSQはテスト用送信バッファTXB、テスト用受信バッファRXBを含む。TXBはMB2への送信データ信号（TIN1）を蓄積（store）するバッファ（レジスタ）である。RXBはMB2からの受信データ信号（TOUT1）を蓄積するバッファ（レジスタ）である。即ち、TXBは、テスト入力端子TPIから入力された信号TIを送信データ信号として蓄積する。またRXBは、MB2からの受信データ信号を蓄積し、蓄積した受信データ信号を信号TOとしてテスト出力端子TPOに出力する。

【0096】

更に具体的にはテスト用送信バッファTXBは、テスト入力端子TPIから入力された送信データ信号TIを蓄積する。そして通信シーケンサCSQは、TXBによる送信データ信号TIの蓄積が完了した後（所定のバイト数の送信データ信号を蓄積した後）に、蓄積された送信データ信号を、セクタSEL1を介してマクロブロックMB2に送信する処理を行う。また通信シーケンサCSQは、

ループバックモードに設定されたMB 2からの受信データ信号TOUT 1を受信する処理を行う。そしてテスト用受信バッファRXBは、受信された受信データ信号TOUT 1を蓄積し、蓄積した受信データ信号をテスト出力端子TPOに出力する

なお、送信バッファTXB、受信バッファRXBのいずれか一方のみをテスト回路TCに設けるようにしてもよい。またTXB、RXBは通信シーケンサCSQの内部に設けてもよいし外部に設けてもよい。

【0097】

テスト回路TCはテスト用バッファTSBを含む。このTSBはテスト入力信号やテスト出力信号を蓄積 (store) するバッファ (レジスタ) である。より具体的にはTSBは、テスト入力端子TPIからの信号TIを蓄積して、テスト入力信号TIN 2としてセクタSEL 1に出力する。またTSBは、セクタSEL 2からのテスト出力信号TOUT 2 (TOUT) を蓄積して、信号TOとしてテスト出力端子TPOに出力する。

【0098】

テスト回路TCはデコーダDECを含む。このDECは集積回路のテスト端子からの信号に基づいて、テスト回路の各回路に制御信号を出力する。より具体的にはデコーダDECには、バッファTXB、RXB、TSBのアドレス (レジスタアドレス) を指定するためのアドレス信号TADや、これらのバッファへのライト信号TWR、リード信号TRDが入力される。またテストモード信号TMD 1、TMD 2 (第1、第2のテストモードを切り替えたり、テストモードと通常動作モードを切り替える信号) や、テスト用のクロック信号TCKや、テスト用のリセット信号TRSが入力される。デコーダDECは、テスト端子から入力されるこれらの信号に基づいてデコード処理を行い、通信シーケンサCSQ (TXB、RXB)、テスト用バッファTSBへの制御信号DCTL 1、DCTL 2や、セクタSEL 1、SEL 2への選択信号SS 1、SS 2を生成する。

【0099】

例えば通信シーケンサCSQ (TXB、RXB) はデコーダDECからの制御信号DCTL 1やテスト用クロック信号TCKなどに基づいて、TXB、RXB

に送信データ信号、受信データ信号を蓄積する処理や、TXB、RXBから送信データ信号、受信データ信号を出力する処理や、送受信（ハンドシェーク）処理を行う。またテスト用バッファTSBは、デコーダDECからの制御信号DCTL2やテスト用クロック信号TCKなどに基づいて、TSBにテスト入力信号やテスト出力信号を蓄積する処理や、TSBからテスト入力信号やテスト出力信号を出力する処理などを行う。

【0100】

またデコーダDECは、信号TMD1、TMD2が共にL（ロー）レベル（第1のレベル）の場合には、選択信号SS1をH（ハイ）レベルに設定して、セクタSEL1に信号M1OUTを選択させると共に、信号SS1をLレベルに設定して、セクタSEL2にM2OUTを選択させる。これにより動作モードが通常動作モード（テストモードではないモード）になる。

【0101】

また信号TMD1がHレベル（第2のレベル）の場合には、信号SS1、SS2を共にHレベルに設定して、SEL1に信号M1OUTを選択させると共にSEL2に信号SQを選択させる。これにより動作モードが、マクロブロックMB1をテストする第1のテストモードになる。

【0102】

また信号TMD2がHレベルの場合には、信号SS1、SS2を共にLレベルに設定して、SEL1に信号TIN1及びTIN2を選択させると共に、SEL2に信号M2OUTを選択させる。これにより動作モードが、マクロブロックMB2をテストする第2のテストモードになる。

【0103】

7. 2 バッファ構成

図14に、テスト用送信バッファTXB、テスト用受信バッファRXB、テスト用バッファTSBのアドレスマップを示す。

【0104】

本実施形態では送信バッファTXB、受信バッファRXBは、各々、4段（広義には複数段）のバッファ構成（FIFO構成）となっている。即ち図14にお

いて、TxBuf0、TxBuf1、TxBuf2、TxBuf3は、送信バッファTXBの4段のバッファに相当し、RxBuf0、RxBuf1、RxBuf2、RxBuf3は、受信バッファRXBの4段のバッファに相当する。また、これらの4段の各バッファは8ビット構成になっている。即ち図14において、TxBuf0[7]～[0]はTxBuf0の各ビットを表す。TxBuf1、TxBuf2、TxBuf3も同様である。またRxBuf0[7]～[0]はRxBuf0の各ビットを表す。RxBuf1、RxBuf2、RxBuf3も同様である。

【0105】

図14に示すように本実施形態では、端子TPADからの信号TADで指定されるアドレスが0x0～0x7（16進数表現）の範囲である場合には、送信バッファTXB、受信バッファRXBのいずれかがアドレス指定される。そして端子TPWRからのライト信号TWRがアクティブになると送信バッファTXBが指定され、端子TPRDからのリード信号TRDがアクティブになると受信バッファRXBが指定される。

【0106】

一方、信号TADで指定されるアドレスが0x8～0xFの範囲である場合には、テスト用バッファTSBがアドレス指定される。また、リード、ライトの指定はリード信号TRD、ライト信号TWRにより行われる。そしてテスト用バッファTSBの各ビットには図14に示すように、TXMODE、XCVRSELECT、TERMSELECT・・・TXSTARTなどが割り当てられている。

【0107】

例えばTXMODEは通信シーケンサCSQの送信モードを設定するビットである。TXMODEが「0」に設定されると、通信シーケンサCSQは4バイト（広義には複数バイト）の送信データを送信して停止する。一方、TXMODEが「1」に設定されると、CSQはTxBuf0に蓄積された1バイトの送信データを送信し続ける。

【0108】

またXCVRSELECT、TERMSELECT、OPMODE1・・・SUSPEND等は、マクロブロックMB2の入力端子(M2IN)に所望の信号レベル(Hレベル、Lレベル)を設定するためのビットである。またMonRXACTIVE、MonRXERROR、MonLINESTATE1、MonLINESTATE0等は、マクロブロックMB2の出力端子(M2OUT)の信号レベルをモニタするためのビットである。

【0109】

またTXSTARTは通信シーケンサCSQに対して送信(テスト用送信)の開始を指示するためのビットであり、TXSTARTを「1」に設定すると送信が開始される。そして送信が完了するとTXSTARTは「0」にクリアされる。またTXMODEが「1」の時にTXSTARTに「0」を書き込むと送信が停止する。

【0110】

さて集積回路においては端子数が増加すると製造コストの増加を招く。このためテスト端子についてもその本数をなるべく少なくできることが望ましい。そこで本実施形態では、図13のテスト端子TPI、TPOの本数を以下に述べるような手法で減少させている。

【0111】

例えばマクロブロックMB2のテストに必要な入力信号がMビットであったとする。この場合に本実施形態では図15(A)(B)に示すように、テスト用バッファTSBが、このMビットのテスト入力信号を、K本($M > K$ 。M、Kは自然数又は2以上の整数)のテスト入力端子TPIからKビット毎に入力して蓄積する。そして、蓄積した信号をテスト入力信号TIN2としてセクタSEL1に出力する。このようにすることで、本来はM本のテスト入力端子TPIが必要であるのに、これをK本に減らすことができる。

【0112】

例えば図14において、XCVRSELECT～SUSPENDの全てのビットをTPIとして外部端子に設定すると、12本(M本)の端子が必要になってしまう。これに対して図15(A)(B)では、テスト用バッファTSBが、1

2ビット (Mビット) のテスト入力信号 (XCVRSELECT～SUSPEND) をTP Iから4ビット (Kビット) 毎に取り込んで蓄積している。これによりTP Iの本数を4本にすることができ、集積回路の端子数を減らすことができる。

【0113】

また送信データ信号や受信データ信号のビット数がNビットであったとする。この場合に本実施形態では図15 (C) (D) に示すように、テスト用送信バッファTXBが、このNビットの送信データ信号 (テスト入力信号) を、K本 (N>K。N、Kは自然数又は2以上の整数) のテスト入力端子TP IからKビット毎に入力して蓄積する。そして蓄積した信号を、テスト入力信号TIN1としてセレクタSEL1に出力する。このようにすることで、本来はN本のテスト入力端子TP Iが必要であるのに、これをK本に減らすことができる。また図15 (C) (D) では、テスト用受信バッファRXBが、マクロブロックMB2からのNビットの受信データ信号 (テスト出力信号) を蓄積し、蓄積した受信データ信号をKビット毎にK本のテスト出力端子TP Oに出力する。このようにすることで、本来はN本のテスト出力端子TP Oが必要であるのに、これをK本に減らすことができる。

【0114】

例えば図14において、TxBuf0 [7]～TxBuf0 [0] の全てのビットをTP Iとして外部端子に設定し、RxBuf0 [7]～RxBuf0 [0] の全てのビットをTP Oとして外部端子に設定すると、TP I、TP Oの本数がそれぞれ8本 (N本) になり、合計で16本の端子が必要になってしまう。これに対して図15 (C) (D) では、送信バッファTXBが、8ビット (Nビット) の送信データ信号を4ビット (Kビット) 毎にTP Iから入力して蓄積している。また、受信バッファRXBが、8ビットの受信データ信号を4ビット毎にTP Oに出力している。これによりTP I、TP Oの本数をそれぞれ4本 (K本) にすることができ、集積回路の端子数を減らすことができる。

【0115】

更に本実施形態では図13、図14に示すように、4本 (K本) の端子TP I

、TPOをバッファTXB、RXB、TSBに共通接続し、アドレス信号TADを用いてこれらのバッファTXB、RXB、TSBの各ビットのアドレス指定を行っている。これにより集積回路の端子数を更に減らすことに成功している。

【0116】

7. 3 通信シーケンサ

図16に通信シーケンサCSQの構成例を示す。但し通信シーケンサCSQの構成は図16に示すものに限定されない。

【0117】

通信シーケンサCSQは送信シーケンサTSQを含む。このTSQはマクロブロックMB2との間でハンドシェークによる送信処理を行うためのシーケンサである。具体的には送信シーケンサTSQは、送信データ信号DATAINが有効であることを示す信号TXVALID（送信開始信号）をマクロブロックMB2に出力する。そしてMB2は、TXVALIDのアクティブ期間に存在するDATAINを1つのパケットと見なす。この信号TXVALIDは図13において、信号TIN1としてSEL1を介してMB2に出力される。

【0118】

また送信シーケンサTSQは、DATAINのバッファリングが完了したことを示す信号TXREADYを、MB2から受ける。この信号TXREADYは図13において、MB2からSEL2を介して信号TOUT1として送信シーケンサTSQに入力される。

【0119】

そして送信シーケンサTSQは制御信号TCTL（送信開始信号等）を用いてテスト用送信バッファTXBを制御する。具体的には、送信バッファTXBによるテスト入力端子TPIからの信号TIの蓄積処理を制御する。また送信バッファTXBによるマクロブロックMB2への信号DATAINの出力処理を制御する。この場合に本実施形態では、信号DATAINの出力処理の際のクロック周波数CF1（例えば60MHz）よりも遅いクロック周波数CF2で、送信バッファTXBに信号TIを蓄積するようにしている。このようにすれば、信号TIの蓄積処理を、遅いクロック周波数CF2を用いて余裕を持ってできるようにな

る。従って、テスト入力端子 T P I に大きな寄生容量が寄生している場合にも、バラツキの少ない安定したテスト結果を得ることができる。

【0120】

通信シーケンサ C S Q は受信シーケンサ R S Q を含む。この R S Q はマクロブロック M B 2 との間でハンドシェークによる受信処理を行うためのシーケンサである。具体的には受信シーケンサ R S Q は、バスにアクティビティがあることを示す信号 R X A C T I V E や、受信データ信号 D A T A O U T が有効であることを示す信号 R X V A L I D や、パケット受信中にエラーがあったことを示す信号 R X E R R O R を、マクロブロック M B 2 から受ける。これらの信号 R X A C T I V E、R X V A L I D、R X E R R O R は、図 13 において M B 2 から S E L 2 を介して信号 T O U T 1 として受信シーケンサ R S Q に入力される。

【0121】

そして受信シーケンサ R S Q は制御信号 R C T L を用いてテスト用受信バッファ R X B を制御する。具体的には、受信バッファ R X B によるマクロブロック M B 2 からの信号 D A T A O U T の蓄積処理を制御する。また受信バッファ R X B によるテスト出力端子 T P O への信号 T O の出力処理を制御する。この場合に本実施形態では、信号 D A T A O U T の蓄積処理の際のクロック周波数 C F 1（例えば 60MHz）よりも遅いクロック周波数 C F 3 で（C F 3 は C F 2 と同じでもよい）、信号 T O を出力するようにしている。このようにすれば、信号 T O の出力処理を、遅いクロック周波数 C F 3 を用いて余裕を持つてできるようになる。従って、テスト出力端子 T P O に大きな寄生容量が寄生している場合にも、バラツキの少ない安定したテスト結果を得ることができる。

次に図 17、図 18 の波形図を用いて、テスト回路 T C 及び通信シーケンサ C S Q の詳細な動作について説明する。

【0122】

まず C 1 に示すように外部のテストがテスト端子を用いて、アドレス信号 T A D を 0 x B に設定し、ライト信号 T W R をアクティブ（L レベル）にすると共に信号 T I を 0 x 0 に設定することで、図 14 の P L L S E L E C T、O S C E N B、C L K S E L E C T 1、C L K S E L E C T 0 が全て「0」に設定される。

そしてC 2に示すようにテストが、TADを0 x 8に設定し、TWRをアクティブにすると共にTIを0 x 0に設定することで、図14のTXMODEが「0」に設定される。これにより、4バイト（複数バイト）の送信データ信号を連続して送信するモードに通信シーケンサCSQが設定される。

【0123】

次にC 3に示すようにテストが、アドレス信号TADを0 x 0～0 x 7に設定し、ライト信号TWRをアクティブにすると共にTIを0 x Fに設定することで、図14の送信バッファTXBの4段のバッファTxBuf 0～TxBuf 3の全てのビットに「1」が書き込まれる。この場合にこの書き込み処理は遅いクロック周波数CF 2で行われる。そしてC 4に示すようにテストが、アドレス信号TADを0 x Fに設定し、ライト信号TWRをアクティブにすると共に信号TIを0 x 1に設定することで、図14のTXSTARTに「1」が設定される。これにより通信シーケンサCSQによる自動送信処理が開始する。

【0124】

図18は、図17のC 5に示す部分を拡大した波形図である。通信シーケンサCSQ（送信シーケンサTSQ）は、送信処理が開始すると図18のD 1に示すように信号TXVALIDをアクティブにし、D 2に示すようにマクロブロックMB 2が信号TXREADYをアクティブにする。そしてD 3に示す送信データ信号DATAIN（FF）がMB 2に送信される。

【0125】

マクロブロックMB 2は、送信データ信号DATAINを受けると、D 4に示すように、差動信号DP、DMを用いてUSBバス上での送信処理を開始する。そしてループバックモードに設定されたマクロブロックMB 2は、自身が送信した送信データ信号を、ループバックモードで受信データ信号として受信する。そしてD 5に示すようにマクロブロックMB 2は信号RXACTIVEをアクティブにする。その後、MB 2はD 6、D 7に示すように信号RXVALIDをアクティブにする。すると、これを受けた通信シーケンサCSQ（受信シーケンサRSQ）は、D 8、D 9に示すMB 2からの受信データ信号DATAOUT（FF）をテスト用受信バッファRXBに蓄積する。この場合にこの蓄積処理は速いク

ロック周波数 C F 1 で行われる。

【 0 1 2 6 】

その後、図 1 7 の C 6 に示すようにテストが、アドレス信号 T A D を 0 x 0 ~ 0 x 7 に設定し、リード信号 T R D をアクティブにすることで、C 7 に示すように受信バッファ R X B に蓄積された受信データ信号 T O がテスト出力端子 T P O を介してテストにより読み出される。この場合にこの読み出し処理は遅いクロック周波数 C F 3 により行われる。そして、テストが、読み出された値と期待値との比較処理を行い、期待値と一致していればテストを合格とし、一致していなければ不合格とする。このようにすることテストが完了する。

【 0 1 2 7 】

8. マクロブロック

図 1 9 にマクロブロック M B 1 の一例を示す。なお本実施形態のマクロブロック M B 1 は図 1 9 に示す構成に限定されるものではない。図 1 9 のマクロブロック M B 1 は、S I E (Serial Interface Engine) 3 0、エンドポイント管理回路 4 0、バッファ管理回路 5 0、バッファ 6 0、バルク転送管理回路 7 0、D M A C (Direct Memory Accesss Controller) 8 0 を含む。

【 0 1 2 8 】

S I E 3 0 は、U S B のパケット転送処理などの種々の処理を行う回路である。この S I E 3 0 (広義には第 1 のインターフェース回路) はパケットハンドラ回路 3 2、サスペンド & レジューム制御回路 3 4、トランザクション管理回路 3 6 を含む。ここでパケットハンドラ回路 3 2 は、ヘッダ及びデータからなるパケットの組み立て (生成) や分解などを行ったり、C R C の生成や解読を行う。またサスペンド & レジューム制御回路 3 4 は、サスペンドやレジューム時のシーケンス制御を行う。またトランザクション管理回路 3 6 は、トークン、データ、ハンドシェークなどのパケットにより構成されるトランザクションを管理する。そしてトランザクション管理回路 3 6 は、トークンパケットを受信した場合には、自分宛か否かを確認し、自分宛の場合には、データパケットの転送処理を行い、その後に、ハンドシェークパケットの転送処理を行う。

【 0 1 2 9 】

エンドポイント管理回路40は、バッファ60の各記憶領域の入り口となるエンドポイントを管理する回路であり、エンドポイントの属性情報を記憶するレジスタ（レジスタセット）などを含む。

【0130】

バッファ管理回路50は、例えばRAMなどで構成されるバッファ60を管理する回路である。より具体的には、書き込みアドレスや読み出しアドレスを生成し、バッファ60へのデータの書き込み処理やバッファ60からのデータの読み出し処理を行う。

【0131】

バッファ60（パケットバッファ、パケット記憶手段）は、USBを介して転送されるデータ（パケット）を一時的に記憶するものであり、USB（第1のバス）でのデータ転送速度と、EBUS（第2のバス）でのデータ転送速度との速度差を補償する機能などを有する。なお、EBUSは、ハードディスクドライブ、光ディスクドライブ、MPEGエンコーダ、MPEGデコーダなどの外部デバイスに接続される外部バスである。

【0132】

バルク転送管理回路70は、USBにおけるバルク転送を管理するための回路である。またDMAC80（広義には第2のインターフェース回路）は、EBUSを介して外部デバイスとの間でDMA転送を行うためのDMAコントローラである。

【0133】

図20にマクロブロックMB2の一例を示す。なお本実施形態のマクロブロックMB2は図20に示す構成に限定されるものではない。

【0134】

マクロブロックMB2は、データハンドラ回路90、クロック生成回路92、HS（High Speed）回路94、FS（Full Speed）回路96を含む。これらの回路は論理層回路である。またMB2は、物理層回路（PHY）であるアナログフロントエンド回路98（送受信回路）を含む。

【0135】

データハンドラ回路90は、USB2.0等に準拠したデータ転送のための種々の処理を行う。より具体的には、送信時には、送信データにSYNCRONIZATION (SYNCRONIZATION)、SOP (Start Of Packet)、EOP (End Of Packet) を付加する処理や、ビットスタッフィング処理等を行う。一方、受信時には、受信データのSYNCRONIZATION、SOP、EOPを検出し、削除する処理や、ビットアンスタッフィング処理などを行う。更に、データハンドラ回路90は、データの送受信を制御するための各種のタイミング信号を生成する処理も行う。

【0136】

USB2.0では、HSモード（広義には第1の転送モード）とFSモード（広義には第2の転送モード）が定義されている。HSモードは、USB2.0により新たに定義された転送モードである。FSモードは、従来のUSB1.1で既に定義されている転送モードである。

【0137】

クロック生成回路92は、HS用の480MHzのクロックや、60MHzのシステムクロックなどの種々の周波数のクロックを生成する回路であり、OSC、PLL480M、PLL60Mを含む。

【0138】

ここでOSC（発振回路）は、例えば外部振動子との組み合わせによりベースクロックを生成する。PLL480Mは、OSC（発振回路）で生成されたベースクロックに基づいて、HSモードに必要な480MHzのクロックと、FSモードやシステムクロックに必要な60MHzのクロックを生成するPLL（Phase Locked Loop）である。PLL60Mは、OSC（発振回路）で生成されたベースクロックに基づいて、FSモードやシステムクロックに必要な60MHzのクロックを生成するPLLである。

【0139】

HS回路94は、データ転送速度が480MbpsとなるHSモードでのデータの送受信を行うためのロジック回路である。一方、FS回路96は、データ転送速度が12MbpsとなるFSモードでのデータの送受信を行うためのロジック回路である。

【0140】

アナログフロントエンド回路98（送受信回路）は、FSモードやHSモードでの送受信を行うためのドライバやレシーバを含むアナログ回路であり、差動信号DP、DMを用いて送受信処理を行う。このアナログフロントエンド回路98には、HSモードでの送受信を行うためのHSモード用ドライバ及びレシーバと、FSモードで送受信を行うためのFSモード用ドライバ及びレシーバを含ませることができる。

【0141】

なお、本発明は本実施形態に限定されず、本発明の要旨の範囲内で種々の変形実施が可能である。

【0142】

例えばテスト回路、第1、第2のマクロブロックの構成は、図2、図5、図6、図11、図13、図19、図20等で説明した構成に限定されず、種々の変形実施が可能である。

【0143】

また本実施形態で説明したテスト用送信バッファTXB、テスト用受信バッファRXB、通信シーケンサCSQ、セクタSEL1、SEL2、ダミーのスキラン用フリップフロップDSFF、テスト用バッファTSBと均等な回路を用いる場合も、本発明の均等な範囲に含まれる。

【0144】

また第2のマクロブロックによる第1のバスでの送受信処理（第2のマクロブロックが含む物理層回路）は、USB2.0規格に基づく送受信処理（USB2.0の物理層回路）には限定されない。例えばUSB2.0と同様の思想に基づく規格や、USB2.0を発展させた規格に基づく送受信処理や、IEEE1394規格などの他の高速シリアル転送規格に基づいて送受信処理であってもよい。

【0145】

また、明細書又は図面中の記載において広義な用語（通信マクロブロック仕様、第1のインターフェース回路、第2のインターフェース回路、第1の転送モー

ド、第2の転送モード、第1のバス、(I-J)個、複数段、複数バイト等)として引用された用語(UTMI、SIE、DAMC、HSモード、FSモード、USB、3個、4段、4バイト等)は、明細書又は図面中の他の記載においても広義な用語に置き換えることができる。

【0146】

また、本発明のうち従属請求項に係る発明においては、従属先の請求項の構成要件の一部を省略する構成とすることもできる。また、本発明の1の独立請求項に係る発明の要部を、他の独立請求項に従属させることもできる。

【図面の簡単な説明】

【図1】図1(A)(B)はマクロブロックを含む集積回路のテスト手法についての説明図である。

【図2】本実施形態のテスト回路の構成例である。

【図3】図3(A)(B)(C)は図2のテスト回路の動作説明図である。

【図4】テスト回路の動作を説明するための波形図である。

【図5】通信シーケンサを含むテスト回路の構成例である。

【図6】セレクタを含むテスト回路の構成例である。

【図7】図7(A)(B)は図6のテスト回路の動作説明図である。

【図8】マクロブロック及びテスト回路にスキャンパスを設定する手法の説明図である。

【図9】図9(A)(B)はスキャン手法の説明図である。

【図10】スキャン手法を利用したテスト方法のフローチャートである。

【図11】ダミーのスキャン用FFを含むテスト回路の例である。

【図12】図12(A)(B)(C)はダミーのスキャン用FFの説明図である。

【図13】本実施形態のテスト回路の詳細例である。

【図14】バッファのアドレスマップの例である。

【図15】図15(A)～(D)は本実施形態のテスト用バッファ、テスト用送信バッファ、テスト用受信バッファの説明図である。

【図16】通信シーケンサの構成例である。

【図 1 7】 テスト回路や通信シーケンサの動作を説明する波形図である。

【図 1 8】 テスト回路や通信シーケンサの動作を説明する波形図である。

【図 1 9】 マクロブロック MB 1 の一例である。

【図 2 0】 マクロブロック MB 2 の一例である。

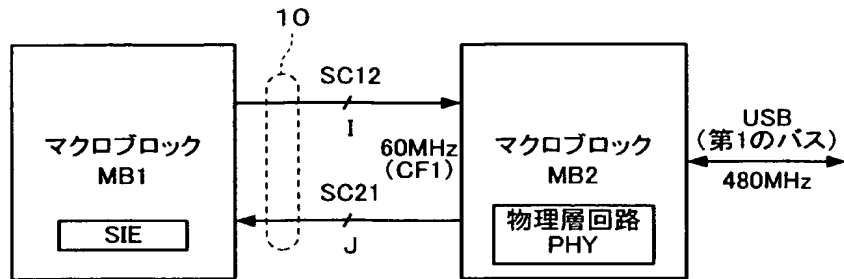
【符号の説明】

MB 1 第 1 のマクロブロック、MB 2 第 2 のマクロブロック、
TXB テスト用送信バッファ、RXB テスト用受信バッファ、
TC テスト回路、CSQ 通信シーケンサ、
SEL 1 第 1 のセレクタ、SEL 2 第 2 のセレクタ、
SS 1、SS 2 選択信号、
M1OUT MB 1 の出力信号、M1IN MB 1 の入力信号、
M2IN MB 2 の入力信号、M2OUT MB 2 の出力信号、
TIN テスト入力信号、TOUT テスト出力信号、
TPI テスト入力端子、TPO テスト出力端子、
SQ SEL 1 の出力信号、
DSFF、DSFF 1 ～ DSFF 3 ダミーのスキャン用フリップフロップ、
TSB テスト用バッファ、DEC デコーダ、PHY 物理層回路、
1 0、1 2、1 4 接続部分、3 0 SIE、3 2 パケットハンドラ回路、
3 4 サスペンド&レジューム回路、3 6 トランザクション管理回路
4 0 エンドポイント管理回路、5 0 バッファ管理回路、6 0 バッファ、
7 0 バルク転送管理回路、8 0 DMAC、
9 0 データハンドラ回路、9 2 クロック生成回路、9 4 HS 回路、
9 6 FS 回路、9 8 アナログフロントエンド回路、

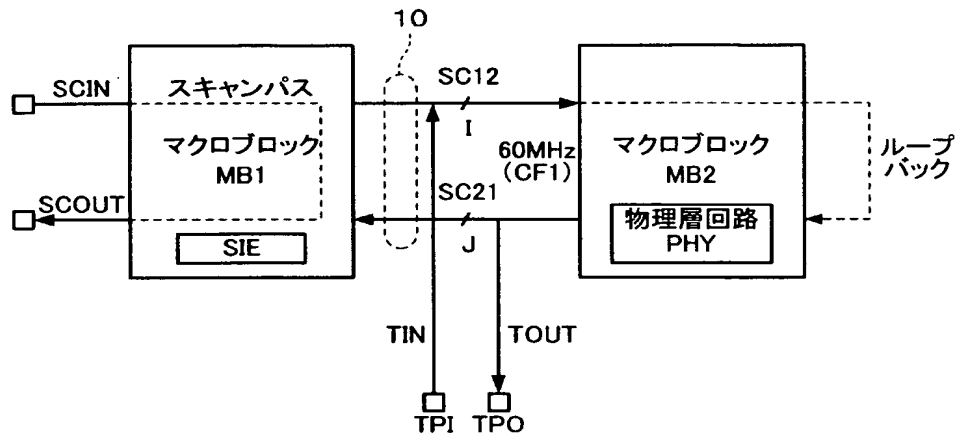
【書類名】 図面

【図 1】

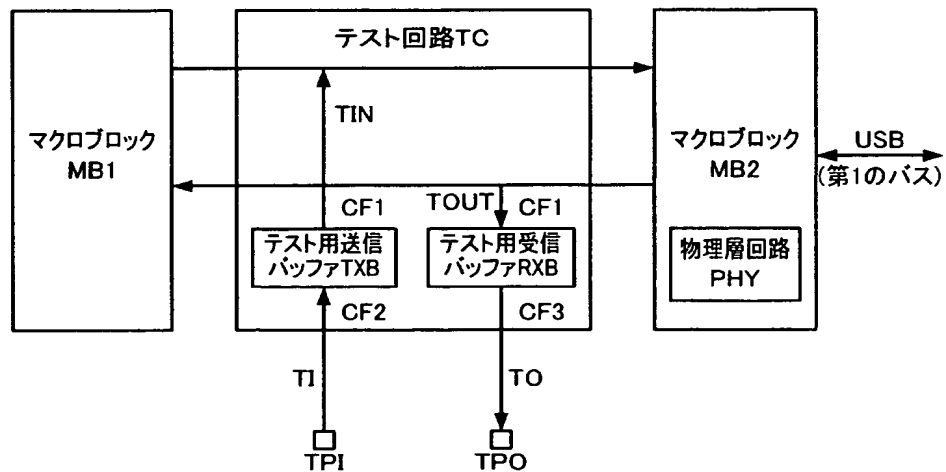
(A)



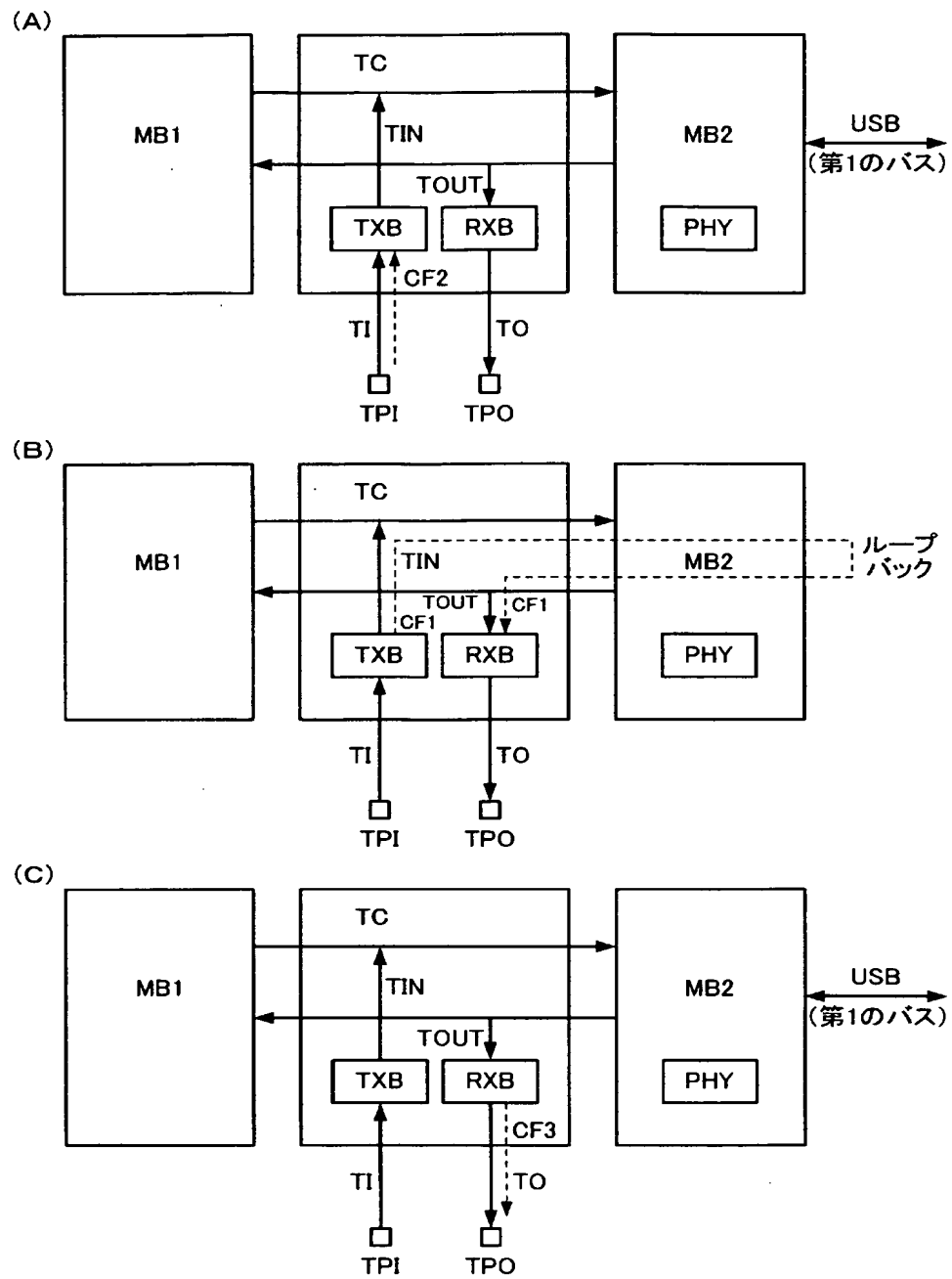
(B)



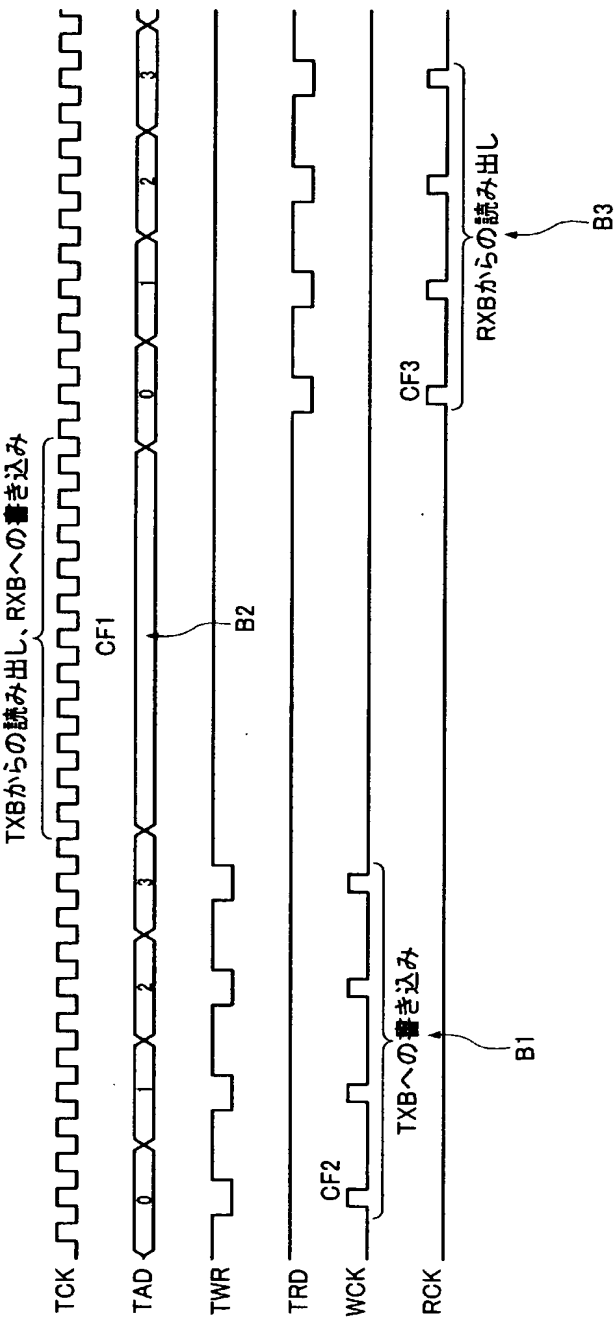
【図 2】



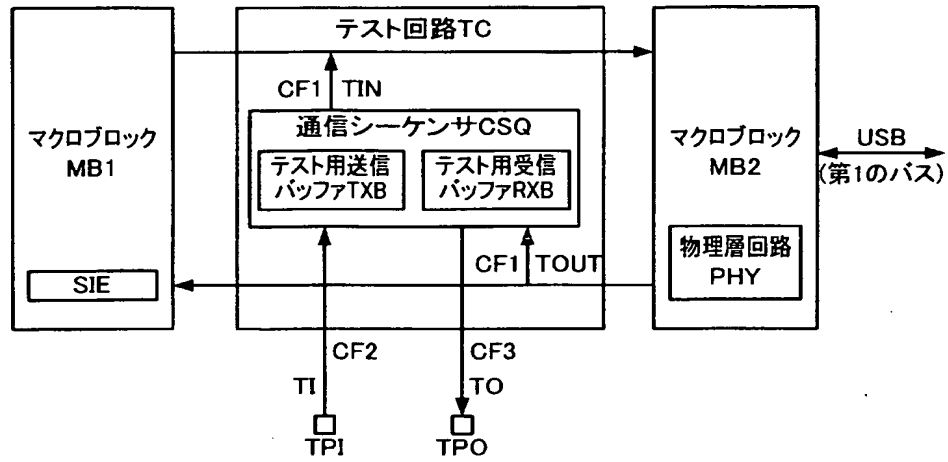
【図 3】



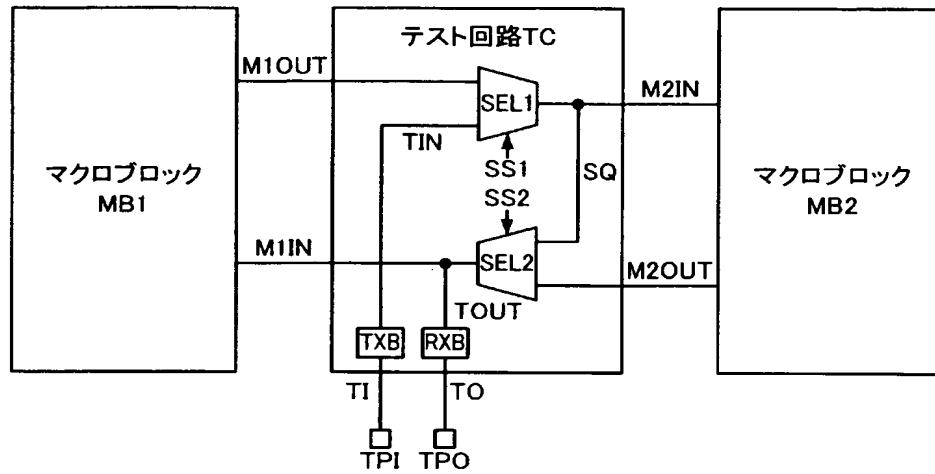
【図 4】



【図 5】

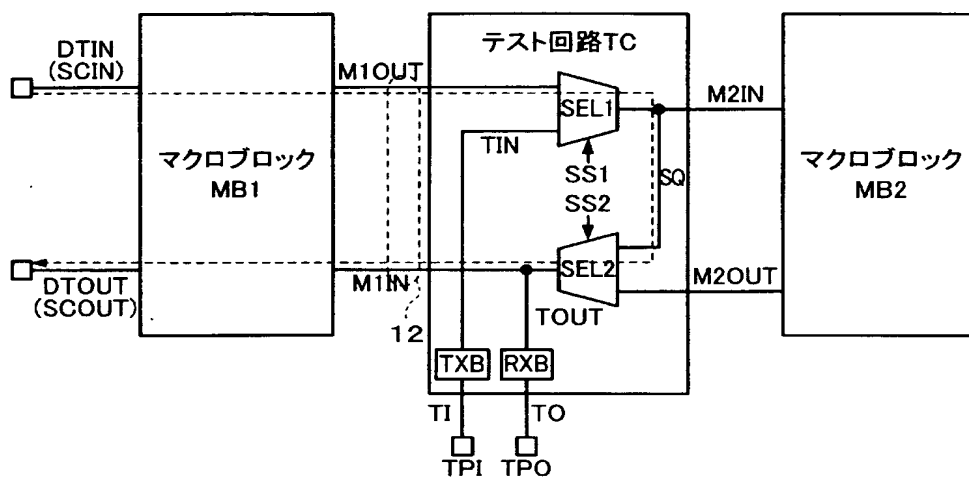


【図 6】

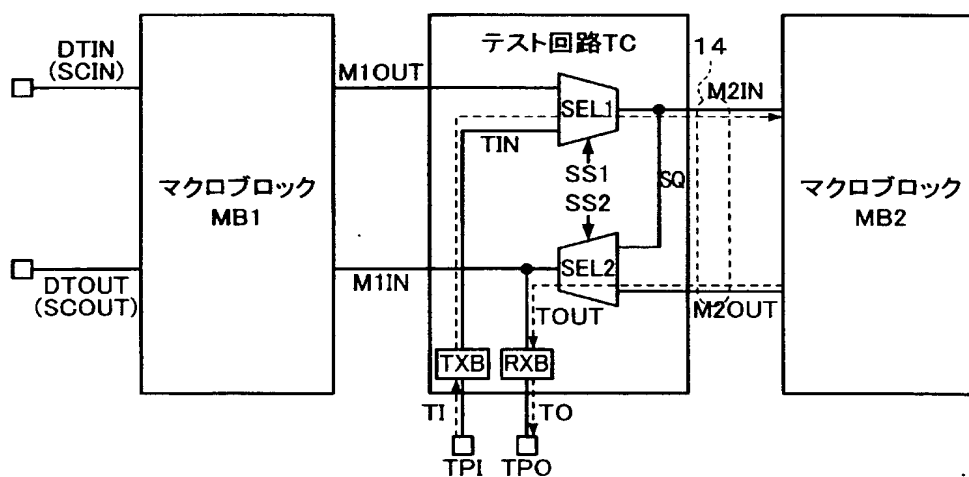


【図 7】

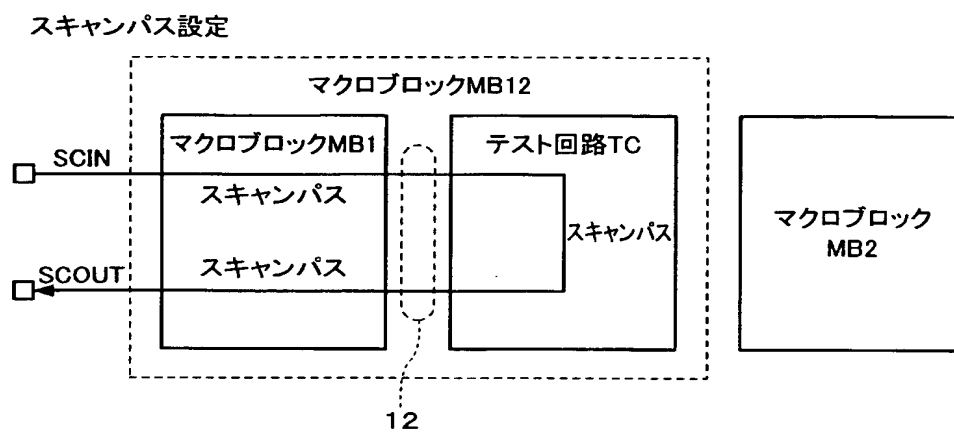
(A) 第1のテストモード



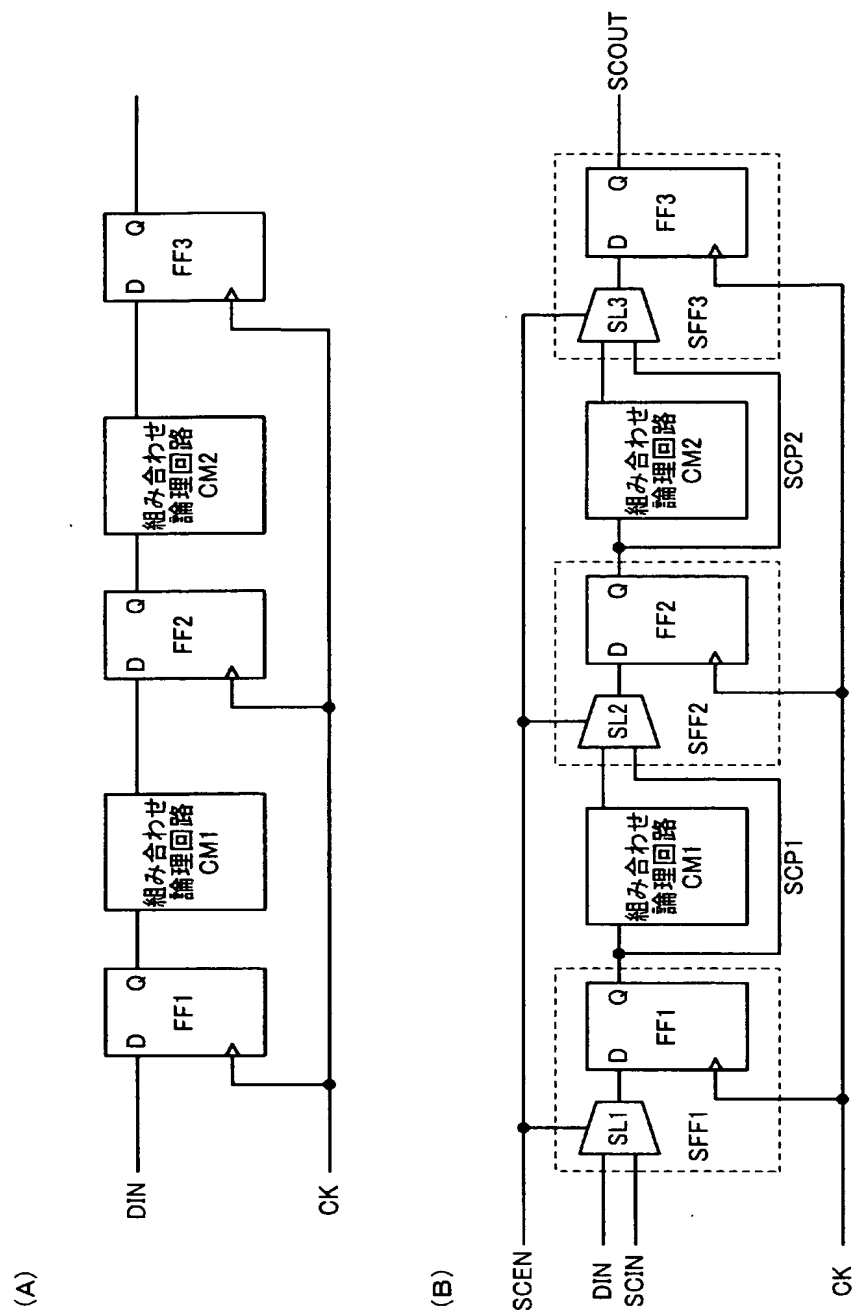
(B) 第2のテストモード



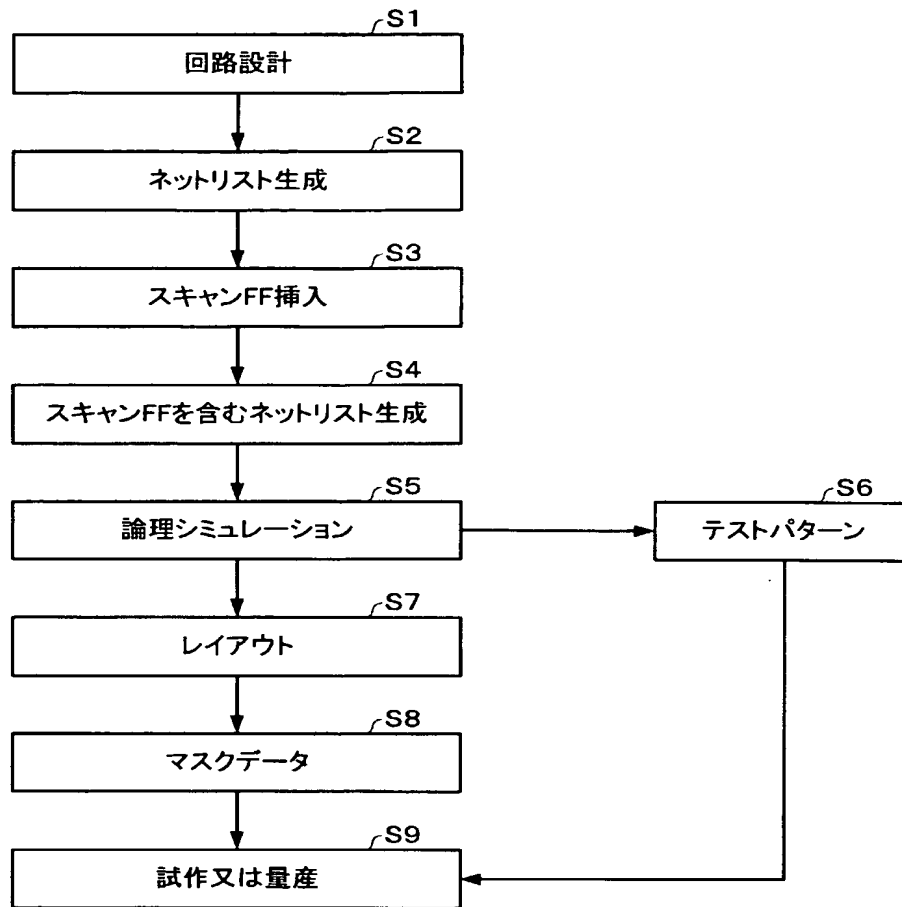
【図 8】



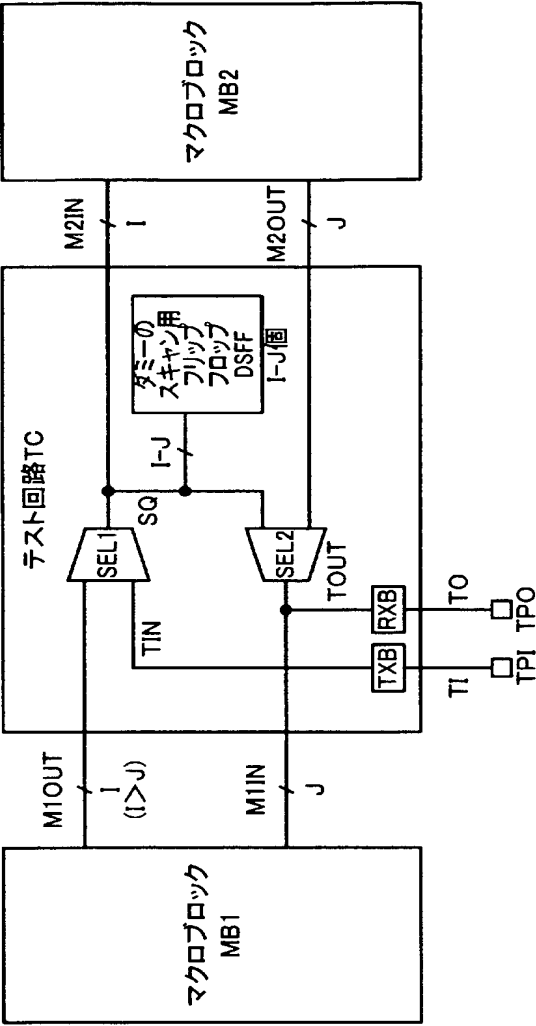
【図 9】



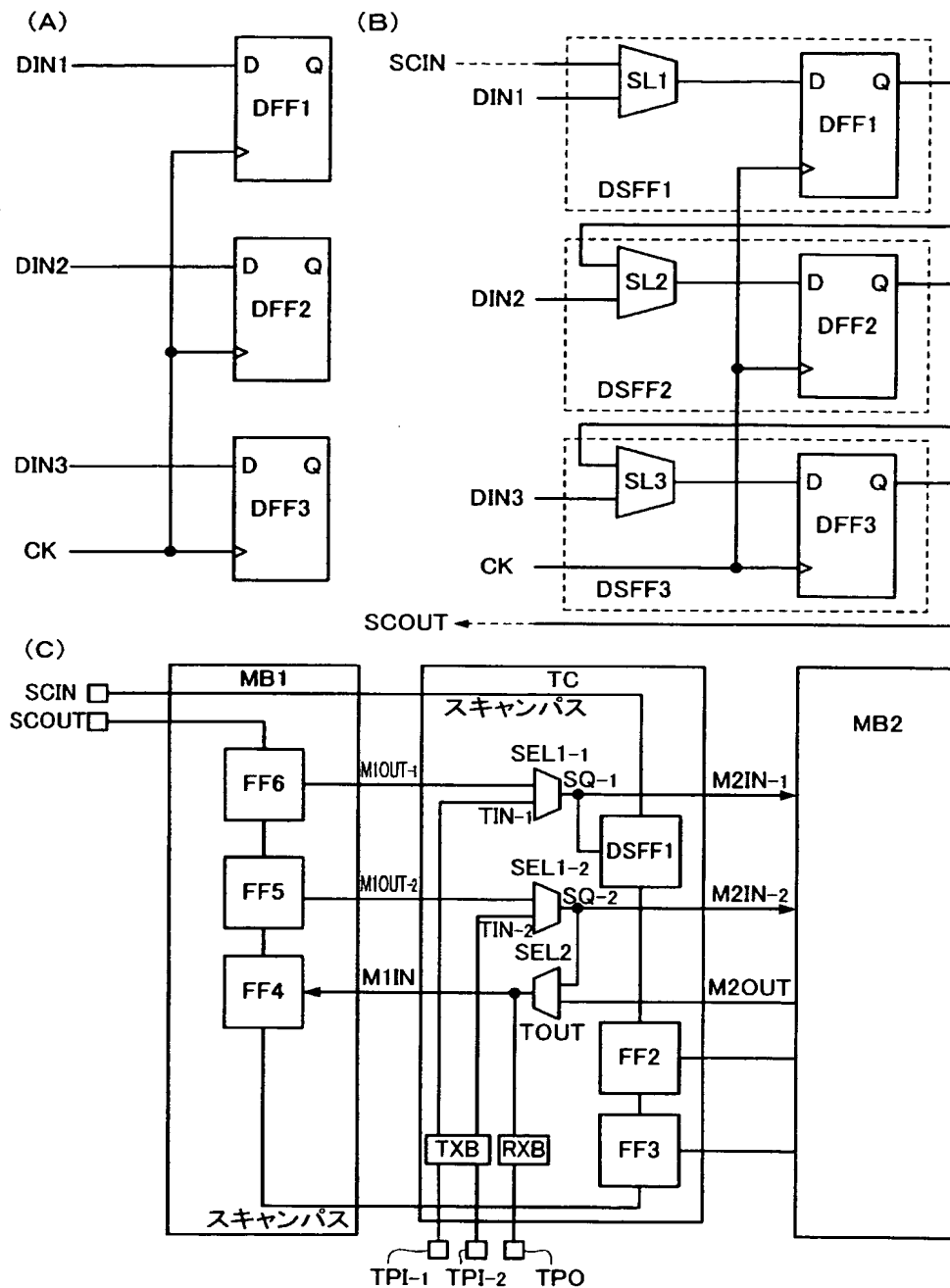
【図 10】



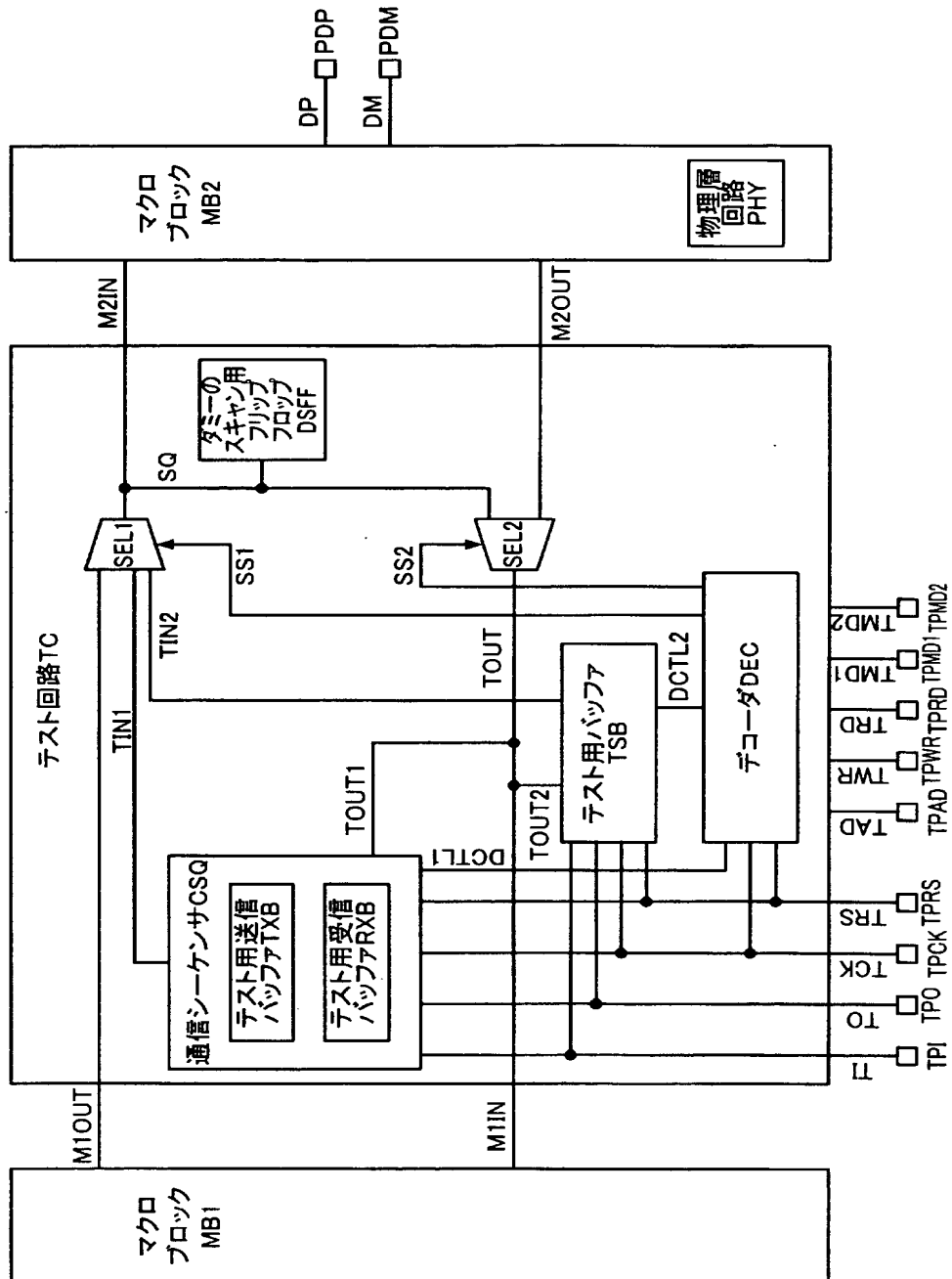
【図 1 1】



【図 12】



【図 13】

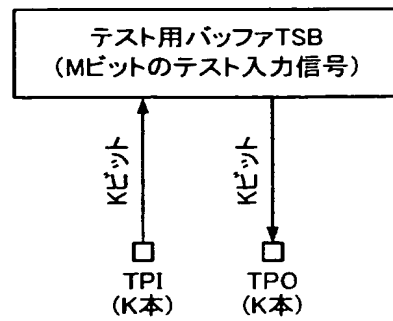


【図 1 4】

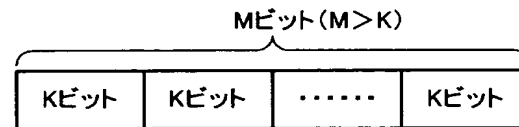
TAD	TRD/TWR	Bit3	Bit2	Bit1	Bit0
0x0	W	TxBuf0[7]	TxBuf0[6]	TxBuf0[5]	TxBuf0[4]
0x0	R	RxBuf0[7]	RxBuf0[6]	RxBuf0[5]	RxBuf0[4]
0x1	W	TxBuf0[3]	TxBuf0[2]	TxBuf0[1]	TxBuf0[0]
0x1	R	RxBuf0[3]	RxBuf0[2]	RxBuf0[1]	RxBuf0[0]
0x2	W	TxBuf1[7]	TxBuf1[6]	TxBuf1[5]	TxBuf1[4]
0x2	R	RxBuf1[7]	RxBuf1[6]	RxBuf1[5]	RxBuf1[4]
0x3	W	TxBuf1[3]	TxBuf1[2]	TxBuf1[1]	TxBuf1[0]
0x3	R	RxBuf1[3]	RxBuf1[2]	RxBuf1[1]	RxBuf1[0]
0x4	W	TxBuf2[7]	TxBuf2[6]	TxBuf2[5]	TxBuf2[4]
0x4	R	RxBuf2[7]	RxBuf2[6]	RxBuf2[5]	RxBuf2[4]
0x5	W	TxBuf2[3]	TxBuf2[2]	TxBuf2[1]	TxBuf2[0]
0x5	R	RxBuf2[3]	RxBuf2[2]	RxBuf2[1]	RxBuf2[0]
0x6	W	TxBuf3[7]	TxBuf3[6]	TxBuf3[5]	TxBuf3[4]
0x6	R	RxBuf3[7]	RxBuf3[6]	RxBuf3[5]	RxBuf3[4]
0x7	W	TxBuf3[3]	TxBuf3[2]	TxBuf3[1]	TxBuf3[0]
0x7	R	RxBuf3[3]	RxBuf3[2]	RxBuf3[1]	RxBuf3[0]
0x8	R/W	-	-	TXMODE	-
0x9	R/W	XCVRSELECT	TERMSELECT	OPMODE1	OPMODE0
0xA	R/W	PLLSELECT	OSCENB	CLKSELECT1	CLKSELECT0
0xB	R/W	RESET	RAWCLOCK	ANA_IQ	SUSPEND
0xC	R/W	OPENLOOP	TglCLK	DivideCLK	MonCLK (R)
0xD	R	MonRXACTIVE	MonRXERROR	MonLINESTATE1	MonLINESTATE0
0xE	R/W	-	-	MonRXERROR (R)	LatRXERROR
0xF	R/W	-	-	-	TXSTART

【図 15】

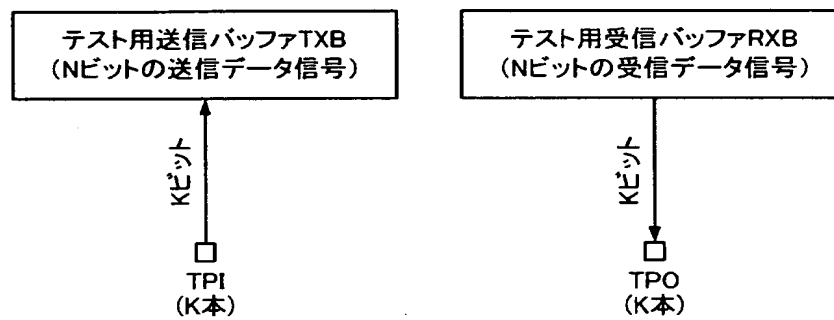
(A)



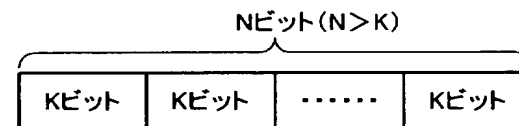
(B)



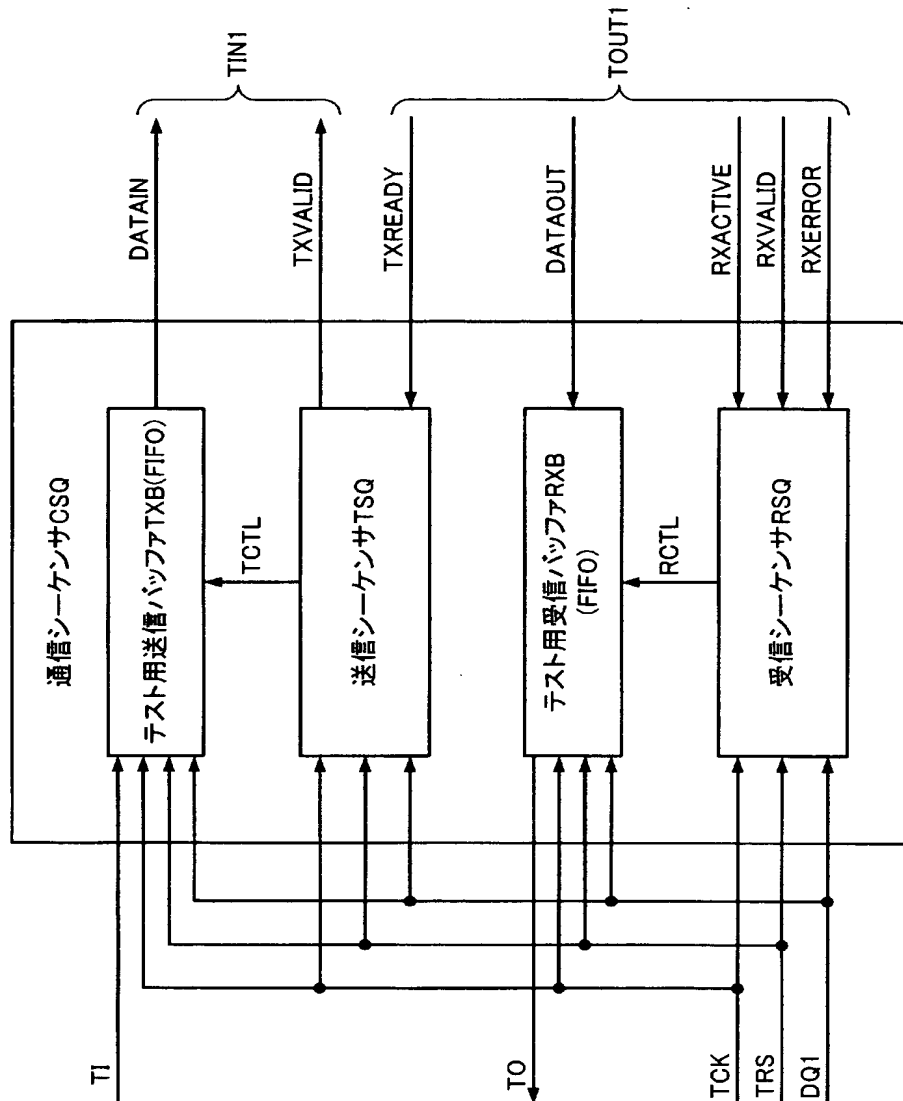
(C)



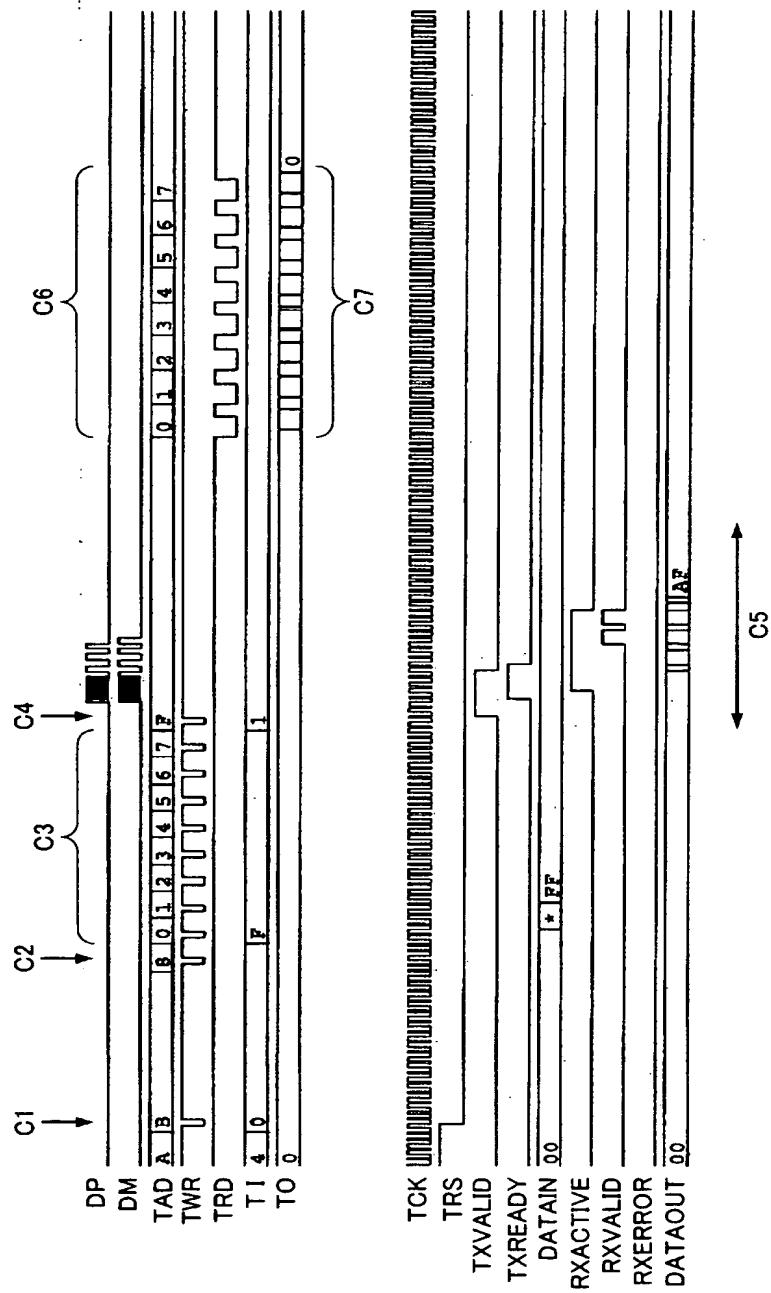
(D)



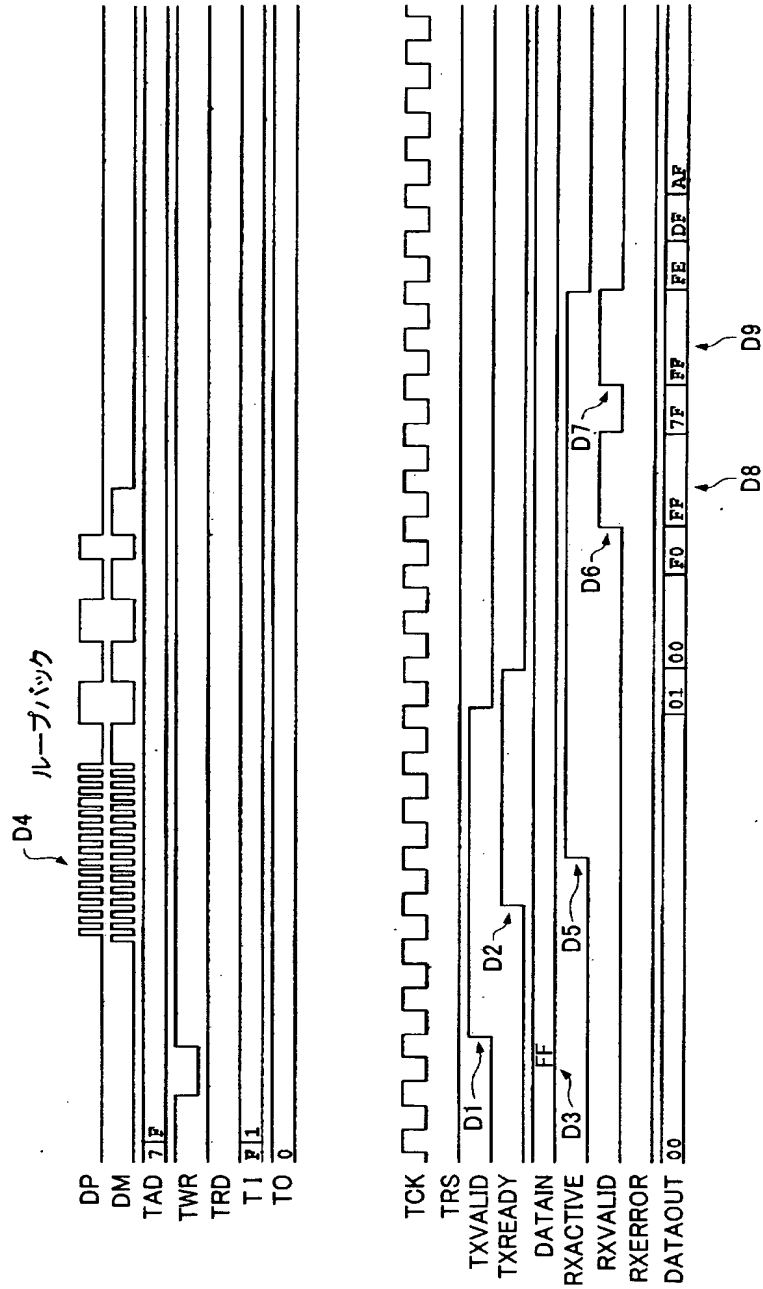
【図 16】



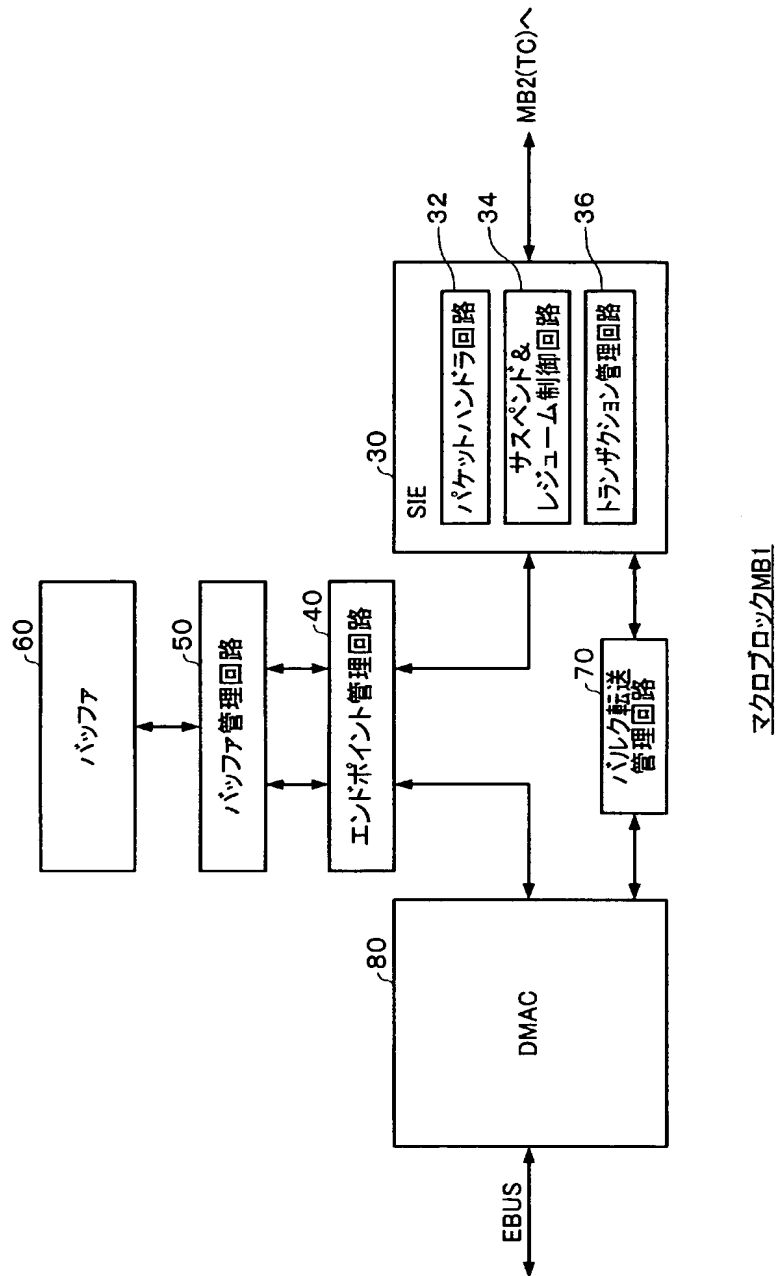
【図 1 7】



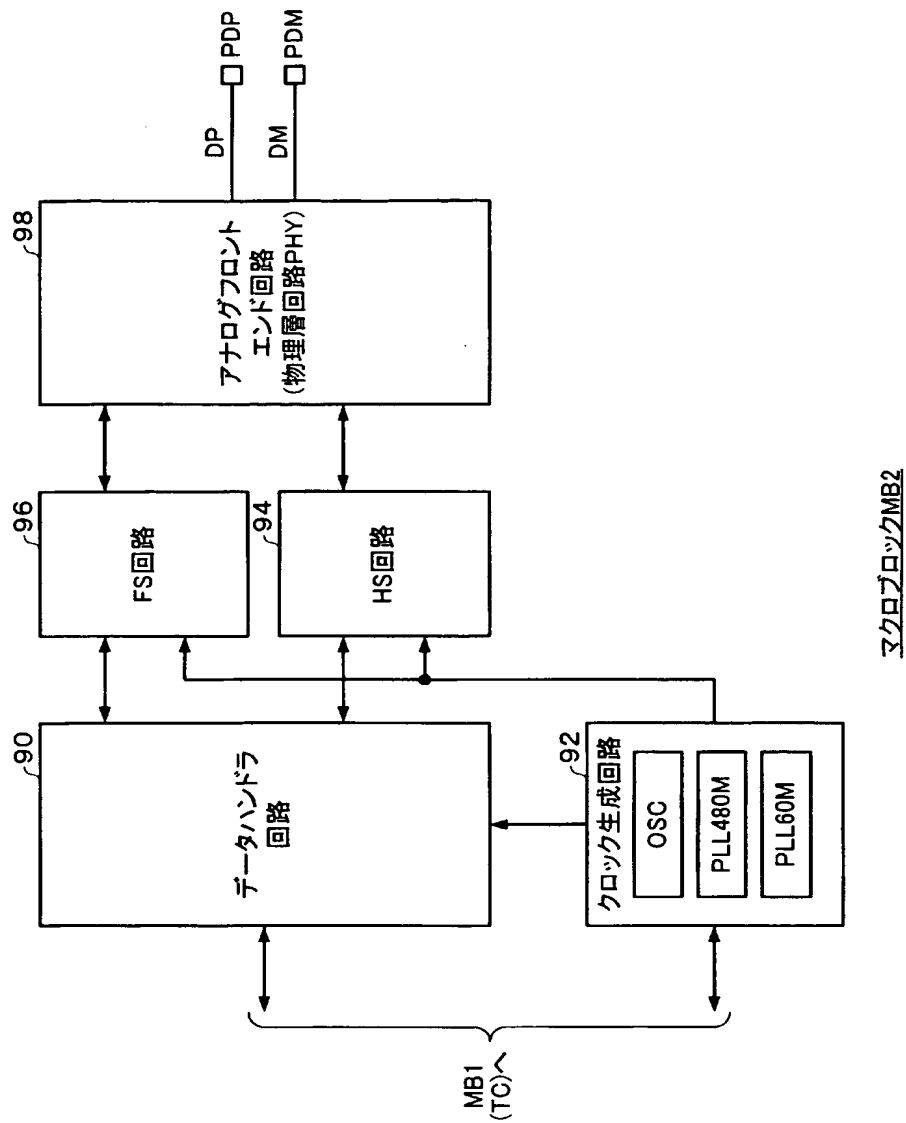
【図 18】



【図 19】



【図 20】



【書類名】 要約書

【要約】

【課題】 データ通信用の物理層回路を含むマクロブロックのテストに最適なテスト回路、集積回路、テスト方法を提供すること。

【解決手段】 通信用の物理層回路 P H Y を含むマクロブロック M B 2 は送受信処理をマクロブロック M B 1 との間でクロック周波数 C F 1 で行う。テスト回路 T C は、テスト入力端子 T P I からの送信データ信号を C F 1 よりも遅い周波数 C F 2 で蓄積するテスト用送信バッファ T X B と、受信データ信号を C F 1 よりも遅い周波数 C F 3 でテスト出力端子 T P O に出力するテスト用受信バッファ R X B を含む。送信バッファ T X B は端子 T P I からの送信データ信号を周波数 C F 2 で蓄積した後、蓄積した送信データ信号を M B 2 に周波数 C F 1 で出力する。受信バッファ R X B は、M B 2 からの受信データ信号を周波数 C F 1 で蓄積した後、蓄積した受信データ信号を周波数 C F 3 で端子 T P O に出力する。

【選択図】 図 5



特願 2 0 0 3 - 0 2 2 2 7 4

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 2 3 6 9]

1. 変更年月日

1 9 9 0 年 8 月 2 0 日

[変更理由]

新規登録

住 所

東京都新宿区西新宿 2 丁目 4 番 1 号

氏 名

セイコーエプソン株式会社